



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

출원 번호 : 10-2002-0078006
Application Number

출원 년 월 일 : 2002년 12월 09일
Date of Application DEC 09, 2002

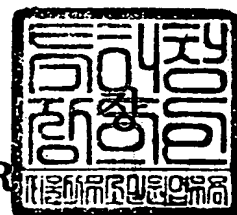
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 06 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2002.12.09
【발명의 명칭】	액정표시장치용 어레이기판 제조방법
【발명의 영문명칭】	Method for fabricating of a substrate of LCD
【출원인】	
【명칭】	엘지 .필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【발명자】	
【성명의 국문표기】	김웅권
【성명의 영문표기】	KIM,WOONG KWON
【주민등록번호】	700217-1480917
【우편번호】	435-040
【주소】	경기도 군포시 산본동 1145 세종아파트 640-1204
【국적】	KR
【발명자】	
【성명의 국문표기】	장윤경
【성명의 영문표기】	CHANG,YOUN GYOUNG
【주민등록번호】	720809-2042017
【우편번호】	435-040
【주소】	경기도 의왕시 오전동 LG 진달래 아파트 103동 807호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 기 (인) 정원

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 23 면 23,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 52,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 액정표시장치에 관한 것으로, 어레이기판에 컬러필터가 구성된 COT구조의 액정표시장치에 관한 것이다.

본 발명에 따른 액정표시장치는 어레이기판의 상부에 컬러필터를 구성하는 구조에 있어서, 박막트랜지스터와 게이트 배선 및 데이터 배선의 상부에 불투명한 유기수지로 블랙매트릭스를 형성하고, 컬러필터를 중심으로 상부와 하부에 각각 제 1 및 제 2 투명전극을 형성한다.

이때, 상기 제 2 투명전극은 별도의 PR패턴 공정을 진행하지 않고, 기판의 전면에서 투명전극을 형성한 후 이를 부분적으로 결정화하여, 비정질과 결정질의 선택적 식각을 통해 패턴공정을 진행한다.

이와 같이 하면, 별도의 PR패턴 공정을 진행하지 않아도 되므로 PR패턴을 현상하는 현상액이나, 이를 제거하는 제거액에 의해 상기 컬러필터가 영향을 받지 않는 장점이 있다.

【대표도】

도 4g

【명세서】

【발명의 명칭】

액정표시장치용 어레이기판 제조방법{Method for fabricating of a substrate of LCD}

【도면의 간단한 설명】

도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 도면이고,

도 2는 도 1의 II-II`를 절단하여 도시한 액정표시장치의 단면도이고,

도 3은 본 발명의 제 1 실시예에 따른 COT구조 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이고,

도 4a 내지 도 4g는 도 3의 IV-IV`를 따라 절단하여, 본 발명의 제 1 실시예에 따른 공정 순서에 따라 도시한 공정 단면도이고,

도 5는 본 발명의 제 2 실시예에 따른 COT구조 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 평면도이고,

도 6a 내지 도 6k는 도 5의 VI-VI`을 따라 절단하여 본 발명의 제 2 실시예에 따른 공정 순서에 따라 도시한 공정 단면도이다.

<도면의 주요부분에 대한 간단한 설명>

100 : 기판

102 : 게이트 배선

104 : 게이트 전극

108 : 게이트 절연막

110 : 액티브층	112 : 오믹 콘택층
114 : 소스 전극	116 : 드레인 전극
120 : 제 1 보호막	124 : 블랙 매트릭스
126 : 제 2 보호막	128 : 제 1 화소전극
130a,b : 컬러필터	
136 : 제 1 화소전극	

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 액정표시장치에 관한 것으로, 박막트랜지스터 어레이부의 상부에 컬러필터를 구성하는 COT(color filter on TFT)구조 액정표시장치와 그 제조방법에 관한 것이다.
- <17> 일반적으로, 액정표시장치는 액정분자의 광학적 이방성과 복굴절 특성을 이용하여 화상을 표현하는 것으로, 전계가 인가되면 액정의 배열이 달라지고 달라진 액정의 배열 방향에 따라 빛이 투과되는 특성 또한 달라진다.
- <18> 일반적으로, 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.

- <19> 도 1은 일반적인 액정표시장치를 개략적으로 나타낸 도면이다.
- <20> 도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 서브 컬러필터(8)와 각 서브 컬러필터(8)사이에 구성된 블랙 매트릭스(6)를 포함하는 컬러필터(7)와 상기 컬러필터(7)의 상부에 증착된 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)이 정의되고 화소영역에는 화소전극(17)과 스위칭소자(T)가 구성되며, 화소영역(P)의 주변으로 어레이 배선이 형성된 하부기판(22)과, 상부기판(5)과 하부기판(22) 사이에는 액정(14)이 충전되어 있다.
- <21> 상기 하부기판(22)은 어레이기판(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(TFT)를 교차하여 지나가는 게이트배선(13)과 데이터배선(15)이 형성된다.
- <22> 이때, 상기 화소영역(P)은 상기 게이트배선(13)과 데이터배선(15)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 전술한 바와 같이 투명한 화소전극(17)이 형성된다.
- <23> 상기 화소전극(17)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성금속을 사용한다.
- <24> 상기 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C)가 게이트 배선(13)의 상부에 구성되며, 스토리지 캐패시터(C)의 제 1 전극으로 게이트 배선(13)의 일부를 사용하고, 제 2 전극으로 소스 및 드레인 전극과 동일층 동일물질로 형성된 섬형상의 금속층(30)을 사용한다.

- <25> 이때, 상기 섬형상의 금속층(30)은 화소전극(17)과 접촉되어 화소전극의 신호를 받도록 구성된다.
- <26> 전술한 바와 같이 상부 컬러필터 기판(5)과 하부 어레이기판(22)을 합착하여 액정패널을 제작하는 경우에는, 컬러필터 기판(5)과 어레이기판(22)의 합착 오차에 의한 빛샘 불량 등이 발생할 확률이 매우 높다.
- <27> 이하, 도 2를 참조하여 설명한다.
- <28> 도 2는 도 1의 II-II'를 따라 절단한 단면도이다.
- <29> 앞서 설명한 바와 같이, 어레이기판인 제 1 기판(22)과 컬러필터 기판인 제 2 기판(5)이 이격되어 구성되고, 제 1 및 제 2 기판(22,5)의 사이에는 액정층(14)이 위치한다.
- <30> 어레이기판(22)의 상부에는 게이트 전극(32)과 액티브층(34)과 소스 전극(36)과 드레인 전극(38)을 포함하는 박막트랜지스터(T)와, 상기 박막트랜지스터(T)의 상부에는 이를 보호하는 보호막(40)이 구성된다.
- <31> 화소영역(P)에는 상기 박막트랜지스터(T)의 드레인 전극(38)과 접촉하는 투명 화소전극(17)이 구성되고, 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C)가 게이트 배선(13)의 상부에 구성된다.
- <32> 상기 상부 기판(5)에는 상기 게이트 배선(13)과 데이터 배선(15)과 박막트랜지스터(T)에 대응하여 블랙매트릭스(6)가 구성되고, 하부 기판(22)의 화소영역(P)에 대응하여 컬러필터(7a,7b,7c)가 구성된다.

- <33> 이때, 일반적인 어레이기판의 구성은 수직 크로스토크(cross talk)를 방지하기 위해 데이터 배선(15)과 화소 전극(17)을 일정 간격(A) 이격 하여 구성하게 되고, 게이트 배선(13)과 화소 전극 또한 일정간격(B) 이격 하여 구성하게 된다.
- <34> 데이터 배선(15) 및 게이트 배선(13)과 화소 전극(17) 사이의 이격된 공간(A,B)은 빛샘 현상이 발생하는 영역이기 때문에, 상부 컬러필터기판(5)에 구성한 블랙 매트릭스(black matrix)(6)가 이 부분을 가려주는 역할을 하게 된다.
- <35> 또한, 상기 박막트랜지스터(T)의 상부에 구성된 블랙매트릭스(6)는 외부에서 조사된 빛이 보호막(40)을 지나 액티브층(34)에 영향을 주지 않도록 하기 위해 빛을 차단하는 역할을 하게 된다.
- <36> 그런데, 상기 상부 기판(5)과 하부 기판(22)을 합착하는 공정 중 합착 오차(misalign)가 발생하는 경우가 있는데, 이를 감안하여 상기 블랙매트릭스(6)를 설계할 때 일정한 값의 마진(margin)을 두고 설계하기 때문에 그 만큼 개구율이 저하된다.
- <37> 또한, 마진을 넘어서는 합착오차가 발생할 경우, 빛샘 영역(A,B)이 블랙매트릭스(6)에 모두 가려지지 않는 빛샘 불량이 발생하는 경우가 종종 있다.
- <38> 이러한 경우에는 상기 빛샘이 외부로 나타나기 때문에 화질을 저하하는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

- <39> 본 발명은 전술한 바와 같은 문제를 해결하기 위해 제안된 것으로, 본 발명을 요약하면 컬러필터를 하부기판에 구성하고 컬러필터 사이 영역 즉, 박막트랜지스터와 게이트 배선 및 데이터배선의 상부에 블랙매트릭스를 구성한다.
- <40> 상기 화소영역에는 제 1 투명전극과 컬러필터와 제 2 투명전극 순으로 구성하되, 상기 제 1 투명 전극은 드레인 전극과 직접 접촉하는 구성이고, 상기 제 2 투명 전극은 상기 제 1 투명 전극과 접촉하도록 구성한다.
- <41> 이때, 상기 제 2 투명 전극을 패터닝하는 공정은 별도의 PR패터닝공정을 진행하지 않고, 상기 제 2 투명 전극을 증착한 후, 화소영역에 대응하는 부분에만 레이저를 조사하여 결정화 한 후, 비정질의 전극만을 식각하는 식각용액을 사용하여 이를 제거하는 공정을 진행함으로써 제 2 투명 전극을 각 화소마다 독립적으로 패터닝할 수 있게 된다. 이때, 상기 레이저 뿐 아니라 UV 램프를 강하게 쬔어 결정화를 이룰 수 있다.
- <42> 이와 같이 하면, 별도의 PR패터닝 공정을 진행하지 않아도 되므로 PR 패터닝 시 필요한 현상액이나 제거액(stripper)에 의해 하부의 컬러필터 패터닝이 데미지를 입지 않게 된다.
- <43> 따라서, 고화질의 액정표시장치를 제작할 수 있다.

【발명의 구성 및 작용】

- <44> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 기판 상에 구성되고, 일 방향으로 연장된 게이트 배선을 형성하는 단계와; 상기 게이트 배선

과 제 1 절연막을 사이에 두고 수직하게 교차하여 다수의 화소영역을 정의하는 데이터 배선을 형성하는 단계와; 상기 게이트 배선과 데이터 배선의 교차지점에 위치하고, 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터를 형성하는 단계와; 상기 드레인 전극의 일부를 제외한 박막트랜지스터의 상부와, 게이트 배선 및 데이터 배선의 상부 블랙매트릭스를 형성하는 단계와; 상기 블랙매트릭스가 형성된 기판의 전면에서 제 2 절연막을 증착한 후, 제 2 절연막과 하부의 제 1 절연막을 식각하여, 상기 드레인 전극의 일부를 노출하고 상기 화소영역에 대응하는 기판의 표면을 노출하는 단계와; 상기 패터닝된 제 2 절연막이 형성된 기판에 투명 도전성 물질을 증착하고 패터닝하여, 상기 노출된 드레인 전극과 접촉하면서 상기 화소영역에 투명 제 1 화소전극을 형성하는 단계와; 상기 제 1 화소전극의 상부에 컬러필터를 형성하는 단계와; 상기 컬러필터가 형성된 기판의 전면에서 투명 도전성 물질을 증착하고, 상기 컬러필터 패턴에 대응한 부분에만 레이저를 조사하여 결정화하는 단계와; 상기 결정화 되지 않은 부분의 비정질 투명전극을 제거하여, 상기 화소영역에 대응하여 하부의 제 1 화소전극과 접촉하는 결정화된 제 2 화소전극을 형성하는 단계를 포함한다.

<45> 상기 반도체층은 순수 비정질 실리콘으로 형성된 액티브층과, 불순물 비정질 실리콘으로 형성된 오믹 콘택층이다.

<46> 상기 게이트 배선의 상부에 상기 제 1 및 제 2 화소전극과 접촉하는 아일랜드 형상의 금속층을 더욱 형성하여 이를 제 1 전극으로 하고, 그 하부의 게이트 배선을 제 2 전극으로 하는 보조 용량부를 형성하는 단계를 더욱 포함한다.

<47> 상기 박막트랜지스터와 블랙매트릭스 사이에 무기 절연층을 형성하는 단계를 더욱 포함한다.

- <48> 상기 무기절연층을 형성하는 물질은 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2)이다.
- <49> 상기 컬러필터 패턴은 상기 화소영역에 적색과 녹색과 청색의 컬러필터 패턴이 각각 대응되도록 형성되며, 상기 결정화되지 않은 비정질 투명전극 부분만을 제거하는 제거액은 0Z산($((\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}))$)이다.
- <50> 본 발명의 특징에 따른 액정표시장치용 어레이기판 제조방법은 기판 상에 일 방향으로 연장된 게이트 배선과, 이에 연결된 게이트 전극을 형성하는 단계와; 상기 게이트 전극 상부에 제 1 절연막을 사이에 두고 적층된 액티브 층과 오믹콘택층과, 오믹 콘택층과 접촉하고 소정간격 이격된 소스 전극과 드레인 전극과, 소스 전극에서 연장된 데이터 배선을 동시에 형성하는 단계와; 상기 소스 및 드레인 전극과 데이터 배선의 상부에 블랙매트릭스를 형성하는 단계와; 상기 블랙매트릭스가 형성된 기판의 전면에 제 2 절연막을 증착한 후, 제 2 절연막과 하부의 제 1 절연막을 식각하여, 상기 드레인 전극의 일부를 노출하고 상기 화소영역에 대응하는 기판의 표면을 노출하는 단계와; 상기 패턴된 제 2 절연막이 형성된 기판에 투명 도전성 물질을 증착하고 패터닝하여, 상기 노출된 드레인 전극과 접촉하면서 상기 화소영역에 투명 제 1 화소전극을 형성하는 단계와; 상기 화소영역의 제 1 전극 상부에 컬러필터를 형성하는 단계와; 상기 컬러필터가 형성된 기판의 전면에 투명 도전성 물질을 증착하고, 상기 컬러필터에 대응한 부분에만 레이저를 조사하여 결정화하는 단계와; 상기 결정화 되지 않은 부분의 비정질 투명전극을 제거하여, 상기 화소영역에 대응하여 하부의 제 1 화소전극과 접촉하는 결정화된 제 2 화소전극을 형성하는 단계를 포함한다.

- <51> 상기 블랙매트릭스는 불투명한 감광성 유기 물질로 형성한다.
- <52> 상기 게이트 배선의 상부에 상기 제 1 및 제 2 화소전극과 접촉하는 아일랜드 형상의 금속층을 더욱 형성하여 이를 제 1 전극으로 하고, 그 하부의 게이트 배선을 제 2 전극으로 하는 보조 용량부를 형성하는 단계를 더욱 포함한다.
- <53> 상기 결정화되지 않은 비정질 투명전극 부분만을 제거하는 제거액은 0Z산($(\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}$)이다.
- <54> 전술한 바와 같은 공정에서, 상기 액티브층과 소스 및 드레인 전극과 데이터 배선을 동시에 형성하는 단계는, 상기 게이트 배선과 게이트 전극이 형성된 기판의 전면 제 1 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 오믹 콘택층과 금속층을 적층하는 단계와; 상기 금속층 상부에 포토레지스트층을 형성하고, 포토 레지스트층과 이격된 상부에 투과부의 차단부와 반투과부로 구성된 마스크를 위치시키는 단계와; 상기 마스크의 상부에 빛을 조사하여 하부의 포토레지스트층을 노광하고 현상하여, 상기 게이트 전극 상부에 서로 다른 높이로 패터닝된 제 1 포토패턴과, 상기 게이트 배선과는 수직한 형상으로 제 2 포토패턴을 형성하는 단계와; 상기 제 1 및 제 2 포토패턴 사이로 노출된 금속층과 하부의 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 제거하여, 데이터 배선과 이에 연장된 소스-드레인 전극층과, 소스-드레인 전극층의 하부에 제 1 반도체층과 제 1 반도체층에서 상기 데이터 배선의 하부로 연장된 제 2 반도체층을 형성하는 단계와; 상기 제 1 및 제 2 포토 패턴을 애싱하는 공정을 진행하여, 상기 소스-드레인 전극층의 중앙부를 노출하는 단계와; 상기 노출된 소스 드레인 전극층을 식각하여 이격된 소스 전극과 드레인 전극을 형성하는 단계를 더욱 포함한다.

- <55> 상기 제 1 반도체층과 제 2 반도체층은 패터닝된 비정질 실리콘층과 불순물 비정질 실리콘층이 적층되어 구성되며, 상기 소스 및 드레인 전극층을 형성하는 공정에서, 상기 제 1 반도체층의 불순물 비정질 실리콘층이 제거된다.
- <56> 상기 데이터 배선과 소스 및 드레인 전극의 주변으로 하부의 비정질 실리콘층이 노출되어 형성된다.
- <57> 이하 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예들을 설명한다.
- <58> -- 제 1 실시예 --
- <59> 도 3은 본 발명에 따른 액정표시장치용 어레이기판의 구성을 개략적으로 도시한 도면이다.
- <60> 도시한 바와 같이, 기판(100)상에 일 방향으로 연장된 게이트 배선(102)을 서로 평행하게 구성하고, 상기 게이트 배선(102)과 수직하게 교차하여 다수의 화소영역(P)을 정의하는 데이터 배선(116)을 구성한다.
- <61> 상기 게이트 배선(102)과 데이터 배선(116)이 교차하는 지점에는 게이트 전극(104)과 액티브층(108)과 소스 및 드레인 전극(112, 114)을 포함하는 박막트랜지스터(T)를 구성한다.
- <62> 상기 두 배선(102, 116)이 교차하여 정의되는 영역(P)에는 드레인 전극(114)과 접촉하는 이중층의 투명 화소전극(128, 136)과 컬러필터(130a, 130b, 130c)를 구성한다.

- <63> 상기 투명 전극(128,136)은 이중 층으로 구성되며, 이중 제 1 전극(128)은 드레인 전극(114)과 접촉하면서 컬러필터(130a,130b,130c)의 하부에 구성하고, 제 2 전극(136)은 컬러필터(130a,130b,130c)의 상부에 구성한다.
- <64> 상기 제 2 전극(136)은 제 1 전극(128)을 통해 드레인 전극(114)과 간접적으로 접촉하는 형상이다.
- <65> 제 1 및 제 2 투명 전극(128,136)은 게이트배선(102)의 상부에 구성된 스토리지 캐패시터(C_{st})와 병렬로 연결된다.
- <66> 스토리지 캐패시터(C_{st})는 게이트 배선(102)의 일부를 제 1 전극으로 하고, 상기 제 1 및 제 2 투명전극(제 1 및 제 2 화소전극)(128,136)과 연결되는 동시에 상기 소스 및 드레인 전극과 동일층 동일물질로 형성된 섬형상의 금속층(118)을 제 2 전극으로 한다.
- <67> COT구조는 도시한 바와 같이, 상기 박막트랜지스터(T) 어레이부의 상부에 블랙매트릭스(124)와, 적, 녹, 청색의 컬러필터(130a,130b,130c)가 구성된 형태이다.
- <68> 블랙매트릭스(124)는 빛샘영역을 가리는 역할을 하며, 게이트 배선 및 데이터 배선(116)과 박막트랜지스터(T)에 대응하여 구성한다.
- <69> 상기 블랙매트릭스(124)는 불투명한 유기물질을 도포하여 형성하며, 빛을 차단하는 역할과 함께 박막트랜지스터를 보호하는 보호막의 역할을 하게 된다.
- <70> 전술한 구성에서, 상기 컬러필터의 상부에 제 2 투명전극(제 2 화소전극)을 형성할 때 별도의 포토공정을 사용하지 않기 때문에 하부의 컬러필터 패턴이 데미지를 입는 불량을 방지할 수 있다.

- <71> 이하, 도 4a 내지 도 4g를 참조하여, 본 발명의 실시예에 따른 액정표시장치용 어레이기판의 제조방법을 설명한다.
- <72> 도 4a 내지 도 4g는 도 3의 IV-IV'를 절단하여, 본 발명의 제 1 실시예에 따른 공정 순서로 도시한 공정 단면도이다.
- <73> (도 3의 절단선 IV-IV'는 박막트랜지스터와 화소의 절단선이다.)
- <74> 도 4a에 도시한 바와 같이, 기판(100)상에 도전성 금속을 증착하고 제 1 마스크 공정으로 패터닝하여, 게이트 배선(102)과 게이트 전극(104)을 형성한다.
- <75> 상기 게이트 배선(104)과 게이트 전극(102)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 제 1 절연층인 게이트 절연막(106)을 형성한다.
- <76> 상기 게이트 절연막(106)상에 순수 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+a-Si:H)을 증착하고 제 2 마스크 공정으로 패터닝하여, 게이트 전극(104)상부의 게이트 절연막(106)상에 액티브층(108)과 오믹 콘택층(110)을 형성한다.
- <77> 다음으로 도 4b에 도시한 바와 같이, 상기 액티브층(108)과 오믹 콘택층(110)이 형성된 기판(100)의 전면에 크롬(Cr) 또는 몰리브덴(Mo)을 증착하고 제 3 마스크 공정으로 패터닝하여, 상기 오믹 콘택층(110)과 각각 접촉하는 소스 전극(112)과 드레인 전극(114)과, 상기 소스전극(112)과 연결된 데이터배선(116)과, 상기 게이트 배선(102)의 상부에 아일랜드 형상의 소스/드레인 금속층(118)을 형성한다.

- <78> 상기 소스 및 드레인 전극(112,114)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_2)과 산화 실리콘(SiO_2)을 포함한 무기절연물질 그룹 중 선택된 하나를 증착하여 제 2 절연막(120)을 형성한다.
- <79> 이때, 제 2 절연막(120)의 기능은 이후에 형성되는 유기막(블랙매트릭스)과 상기 액티브층(108)사이에서 발생할 수 있는 접촉불량을 방지하기 위한 기능을 한다.
- <80> 제 2 절연막(120)은 상기 유기막과 액티브층(108)사이에서 접촉불량이 발생하지 않는다면 굳이 형성하지 않아도 좋다.
- <81> 전술한 바와 같은 공정을 통해 박막트랜지스터 어레이부를 형성하는 공정이 완료된다.
- <82> 다음으로, 도 4c에 도시한 바와 같이, 상기 제 2 절연막(120)상부에 유전율이 낮은 불투명한 유기물질을 도포하여 블랙 유기층(122)을 형성하고 제 4 마스크 공정으로 패터닝하여, 상기 박막트랜지스터(T)와 데이터 배선(116)및 게이트 배선(102)의 상부에 블랙 매트릭스(124)를 형성한다.
- <83> 다음으로, 도 4d에 도시한 바와 같이, 상기 블랙매트릭스(124)가 형성된 기판(100)의 전면에 절연물질을 증착하여 제 3 절연막(126)을 형성한다.
- <84> 상기 제 3 절연막(126)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기 절연물질 그룹 중 선택된 하나를 증착하여 사용하거나, 경우에 따라서는 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 사용한다.

- <85> 도 4e에 도시한 바와 같이, 제 5 마스크 공정으로 상기 제 3 절연막(126)과 제 2 절연막(120)과 게이트 절연막(106)을 식각하여, 상기 드레인 전극(114)일 측과 화소영역(P)과, 상기 섬형상의 금속층(118)의 일측을 노출하는 공정을 진행한다.
- <86> 도 4f에 도시한 바와 같이, 상기 패터닝된 제 3 절연막(126)이 형성된 기판(100)의 전면에 전술한 바와 같은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속을 증착하고 제 6 마스크 공정으로 패터닝하여, 상기 노출된 드레인 전극(114)과 상기 소스/드레인 금속층(118)과 동시에 접촉하면서 화소영역(P)에 위치하는 제 1 화소전극(128)을 형성한다.
- <87> 연속하여, 상기 제 1 화소전극(128)이 형성된 기판(100)의 전면에 컬러수지를 도포하여, 다수의 화소영역(P)에 적색과 녹색과 청색의 컬러필터(130a, 130b, 도 3의 130c)를 각각 형성한다.
- <88> 도 4g에 도시한 바와 같이, 상기 다수의 컬러필터 패턴(130a, 130b, 도 3의 130c)이 형성된 기판(100)의 전면에 앞서 설명한 투명전극을 증착하여 투명전극층(132)을 증착한다.
- <89> 이때, 증착된 투명전극층(132)은 비정질 상태이며, KrF를 광원으로 하는 레이저를 조사하여 부분적으로 결정화를 진행한다.
- <90> 즉, 화소영역(P)에 대응하는 부분에 집중적으로 레이저를 조사하여 결정화를 진행한다. 이때, 레이저 이외에 UV LAMP를 강하게 쬔어 결정화 할 수도 있다.
- <91> 상기 부분적으로 결정화기 진행된 투명전극을 OZ산 즉, $((\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O})$ 에 담그게 되면 상기 비정질 부분만 제거되어 상기 화소영역(P)에는 상기 제 1 화소전극(128)과

접촉하면서 상기 컬러필터 패턴(130a, 130b, 도 3의 130c) 상부에 구성되는 제 2 화소전극(136)을 형성할 수 있다.

<92> 이때, 상기 제 2 화소전극(136)을 형성하는 공정에서 별도의 포토공정을 진행하지 않기 때문에 포토 공정시 현상액에 의해 하부의 컬러필터 패턴이 데미지를 입는 것을 방지할 수 있다.

<93> 이상과 같은 공정을 통해 본 발명에 따른 COT구조의 액정표시장치용 기판을 제작할 수 있다.

<94> 전술한 바와 같은 공정은 상기 컬러필터를 형성하는 공정을 제외하고, 6마스크 공정으로 어레이 기판을 제작하였다.

<95> 이하, 제 2 실시예는 상기 제 1 실시예의 변형 예로서, 제 1 실시예에 비해 공정을 더욱 단순화 할 수 있는 방법을 제안한다.

<96> -- 제 2 실시예 --

<97> 본 발명의 제 2 실시예는 전술한 박막트랜지스터 어레이부의 공정에서 상기 소스 및 드레인 전극과 액티브층을 한꺼번에 패터하여 COT 구조의 액정표시장치를 제작하는 방법을 제안한다.

<98> 도 5는 본 발명의 제 2 실시예에 따른 COT구조의 액정표시장치용 하부기판의 구성을 개략적으로 도시한 평면도이다.

<99> 도시한 바와 같이, 기판(200)상에 일 방향으로 연장된 게이트 배선(202)을 서로 평행하게 구성하고, 상기 게이트 배선(202)과 수직하게 교차하여 다수의 화소영역(P)을 정의하는 데이터 배선(224)을 구성한다.

- <100> 상기 게이트 배선(202)과 데이터 배선(224)이 교차하는 지점에는 게이트 전극(204)과 액티브층(232a)과 소스 및 드레인 전극(238,240)을 포함하는 박막트랜지스터(T)를 구성한다.
- <101> 상기 두 배선(202,224)이 교차하여 정의되는 영역(P)에는 드레인 전극(240)과 접촉하는 투명전극(254,260)과 컬러필터(256a,256b,256c)를 구성한다.
- <102> 상기 투명 전극(254,260)은 이중 층으로 구성되며, 이중 제 1 전극(254)은 드레인 전극(240)과 접촉하면서 컬러필터(256a,256b,256c)의 하부에 구성하고, 제 2 전극(260)은 컬러필터(256a,256b,256c)의 상부에 구성한다.
- <103> 상기 제 2 전극(260)은 제 1 전극(254)을 통해 드레인 전극(240)과 간접적으로 접촉하는 형상이다.
- <104> 제 1 및 제 2 투명 전극(254,260)은 게이트배선(202)의 상부에 구성된 스토리지 캐패시터(C_{st})와 병렬로 연결된다.
- <105> 스토리지 캐패시터(C_{st})는 게이트 배선(202)의 일부를 제 1 전극으로 하고, 상기 제 1 및 제 2 투명전극(254,260)과 연결되는 동시에 상기 소스 및 드레인 전극(238,240)과 동일층 동일물질로 형성된 섬형상의 금속층(228)을 제 2 전극으로 한다.
- <106> 이때, 상기 소스 및 드레인 전극(238,240)과 액티브층(232a)은 동일한 공정에서 동시에 형성되며, 이러한 경우에는 도시한 바와 같이, 필연적으로 상기 데이터 배선과 소스 및 드레인 전극(238,240)과 섬형상의 금속층(228)의 주변으로 비정질 실리콘층(230a, 232a, 234a)이 노출되는 형상이 된다.

- <107> COT구조는 도시한 바와 같이, 상기 박막트랜지스터(T) 어레이부의 상부에 블랙매트릭스(250)와, 적, 녹, 청색의 컬러필터(256a,256b,256c)가 구성된 형태이다.
- <108> 블랙매트릭스(250)는 빛샘영역을 가리는 역할을 하며, 게이트 배선 및 데이터 배선(224)과 박막트랜지스터(T)에 대응하여 구성한다.
- <109> 상기 블랙매트릭스(254)는 불투명한 유기물질을 도포하여 형성하며, 빛을 차단하는 역할과 함께 박막트랜지스터를 보호하는 보호막의 역할을 하게 된다.
- <110> 이하, 도 6a 내지 도 6k를 참조하여, 본 발명의 제 2 실시예에 따른 COT구조의 박막트랜지스터 어레이부와 컬러필터부의 제조공정을 설명한다.
- <111> 도 6a 내지 도 6k는 도 5의 VI-VI'을 따라 절단하여, 본 발명의 제 2 실시예에 따른 공정순서로 도시한 공정 단면도이다.
- <112> 도 6a에 도시한 바와 같이, 기판(200)상에 박막트랜지스터 영역(T)과 화소영역(P)과 데이터 영역(D)과 스토리지 영역(S)을 정의한다.
- <113> 상기 다수의 영역(D,T,P,S)이 정의된 기판(200)의 전면에 도전성 금속을 증착하고 제 1 마스크 공정으로 패터닝하여, 게이트 배선(202)과 게이트 전극(204)을 형성한다.
- <114> 다음으로, 도 6b에 도시한 바와 같이, 상기 게이트 배선(204)과 게이트 전극(202)이 형성된 기판(200)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기 절연물질 그룹 중 선택된 하나를 증착하여 제 1 절연층인 게이트 절연막(208)을 형성한다.

- <115> 상기 게이트 절연막(208)상에 순수 비정질 실리콘(a-Si:H)층(210)과 불순물이 포함된 비정질 실리콘(n+a-Si:H)층(212)과 제 2 금속층(214)을 순차적으로 형성한다. 연속하여, 상기 제 2 금속층(214)의 상부에 포토레지스트를 도포하여 PR층(216)을 형성한다.
- <116> 이때, 상기 제 2 금속층은 크롬(Cr), 몰리브덴(Mo), 구리(Cu), 텅스텐(W), 티타늄(Ti), 알루미늄(Al), 알루미늄합금(AlNd)을 포함하는 도전성 금속그룹 중 선택된 하나로 형성할 수 있다.
- <117> 연속하여, 상기 기판(200)과 이격된 상부에 투과부(A)와 차단부(B)와 반투과부(C)로 구성된 마스크(M)를 위치시킨다.
- <118> 이때, 상기 차단부(B)는 데이터 영역(D)과 박막트랜지스터 영역(T)과 스토리지 영역(S)에 대응하고, 상기 반투과부(C)는 상기 박막트랜지스터 영역(T)의 일부에 대응하고, 상기 투과부(C)는 상기 박막트랜지스터 영역(T)을 제외한 화소영역(P)에 대응하도록 구성한다.
- <119> 상기 마스크의 상부로 빛을 조사하여 하부의 PR층을 노광하고 현상하게 되면, 도 6c에 도시한 바와 같이, 상기 박막트랜지스터 영역(T)에 대응하여 높이가 다른 PR패턴(220a)이 남게 되고, 상기 데이터 영역(D)과 스토리지 영역(S)에는 원래 도포된 높이 그대로의 PR패턴(220b)이 남게 된다.
- <120> 상기 박막트랜지스터 영역(T)에 대응한 부분의 PR패턴(220a)의 높이가 서로 다른 이유는, 상기 마스크(도 6b의 M)의 반투과부(C)에 대응한 부분이 상부로부터 일부만 노광되고 현상되었기 때문이다.

- <121> 연속하여, 상기 패터닝된 PR층(220a,220b)사이로 노출된 하부의 제 2 금속층(214)과 불순물 비정질 실리콘층(212)과 순수 비정질 실리콘층(210)을 제거하는 공정을 진행하면, 도 6d에 도시한 바와 같이, 상기 패터닝된 PR층(220a,220b)의 하부에 구성되고, 상기 데이터 영역(D)에 대응하여 데이터 배선(224)과, 상기 데이터 배선(224)과 연결되면서 상기 박막트랜지스터 영역(T)에 섬형상으로 구성된 소스-드레인 전극층(226)과, 상기 스토리지 영역(S)에 형성된 섬형상의 금속층(228)이 형성된다.
- <122> 동시에, 상기 데이터 배선(224)의 하부에는 제 1 반도체 패턴(230)이 구성되고, 제 1 반도체 패턴(230)에서 상기 소스-드레인 전극층(226)의 하부로 연장된 제 2 반도체 패턴(232)이 구성되고, 상기 섬형상의 금속층(226)의 하부에는 제 3 반도체 패턴(234)이 구성된다.
- <123> 각각은 패터닝된 순수 비정질 실리콘층(230a,232a,234a)과 불순물 비정질 실리콘층(230b,232b,234b)이 적층된 형상이다.
- <124> 다음으로, 도 6e는 박막트랜지스터에 구성되는 액티브 채널층을 노출하기 위한 전 단계인 PR패턴을 식각하는 애싱공정을 진행한 형상을 나타낸 도면이다.
- <125> 상기 마스크의 반투부(도 6b의 C)에 대응하여 일부만 노광된 부분은 이후 형성되는 액티브 채널에 대응하는 부분(E)이며, 일차로 이를 제거하기 위한 애싱공정(ashing processing)을 진행하게 된다. 상기 애싱공정은 일종의 건식식각 공정과 같으며, 상기 액티브 채널층에 대응하는 부분(E)의 PR패턴의 높이만큼 PR패턴이 전체적으로 제거된다.

- <126> 상기 애싱공정을 통해 전체적으로 낮아진 PR패턴(236a,236b)의 주변(F)으로 상기 데이터 배선(224)과 소스-드레인 전극층(226)과, 섬형상의 금속층(228)이 노출되는 현상이 필연적으로 발생하게 된다.
- <127> 상기 PR패턴을 애싱하는 공정이 완료되면, 상기 액티브채널층(E)에 대응하여 노출된 소스-드레인 전극층(226)과 그 하부의 비정질 실리콘층(232b)을 제거하는 공정을 진행하고, 상기 남겨진 PR 패턴을 제거한다.
- <128> 이때, 상기 PR패턴(236a,236b)의 주변(F)으로 노출된 금속층과 그 하부의 비정질 실리콘층(230b, 232b,234b) 또한 제거된다.
- <129> 이와 같은 공정을 완료하면 결과적으로, 도 6f에 도시한 바와 같이, 상기 박막트랜지스터 영역(T)에 대응하여 서로 소정간격 이격되어 액티브 채널층(CH)을 노출하는 소스 전극(238)과 드레인 전극(240)과, 소스 전극(238)에서 연장된 데이터 배선(224)과, 상기 게이트 배선(204)이 일부 상부에는 섬형상의 금속층(228)을 형성할 수 있다. 상기 각 구성요소의 주변으로는 필연적으로 순수 비정질 실리콘층(230a,232a,234a)이 노출된 형상이 된다.
- <130> 이때, 상기 박막트랜지스터 영역(T)에 대응하여 구성된 순수 비정질 실리콘층(232a)을 액티브층(active layer)이라 하고, 그 상부의 불순물 비정질 실리콘층(232b)을 오믹 콘택층(ohmic contact layer)이라 한다.
- <131> 이상과 같이, 도 6b와 도 6f를 통한 제 2 마스크 공정으로 박막트랜지스터 어레이 부를 형성하는 공정이 완료되었다.

- <132> 다음으로, 도 6g에 도시한 바와 같이, 상기 소스 및 드레인 전극(238,240)이 형성된 기판(200)의 전면에 질화 실리콘(SiN_2)과 산화 실리콘(SiO_2)을 포함한 무기절연물질 그룹 중 선택된 하나를 증착하여 제 2 절연막(246)을 형성한다.
- <133> 이때, 제 2 절연막(246)의 기능은 이후에 형성되는 유기막(미도시)과 상기 액티브층(232a)사이에서 발생할 수 있는 접촉불량을 방지하기 위한 기능을 한다.
- <134> 다음으로, 상기 제 2 절연막(246)상부에 유전율이 낮은 불투명한 유기물질을 도포하여 블랙 유기층(248)을 형성하고 제 3 마스크 공정으로 패터닝하여, 상기 박막트랜지스터 영역(T)과 데이터 배선(224) 및 섬형상의 금속층(228)의 일부만을 가리도록 패터닝된 블랙매트릭스(250)를 형성한다.
- <135> 다음으로, 도 6h에 도시한 바와 같이, 상기 블랙매트릭스(250)가 형성된 기판(200)의 전면에서 절연물질을 증착하여 제 3 절연막(252)을 형성한다.
- <136> 상기 제 3 절연막(252)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기 절연물질 그룹 중 선택된 하나를 증착하여 사용하거나, 경우에 따라서는 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 사용한다 .
- <137> 도 6i에 도시한 바와 같이, 제 4 마스크 공정으로 상기 제 3 절연막(252) 제 2 절연막(246)과 게이트 절연막(206)을 식각 하여, 상기 드레인 전극(240)의 일측과 화소영역(P)과, 상기 섬형상의 금속층(228)의 일측을 노출하는 공정을 진행한다.
- <138> 도 6j에 도시한 바와 같이, 상기 패터닝된 제 3 절연막(252)이 형성된 기판(200)의 전면에서 전술한 바와 같은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는

투명한 도전성 금속을 증착하고 제 5 마스크 공정으로 패터닝하여, 상기 노출된 드레인 전극(240)과 상기 섬형상의 금속층(228)과 동시에 접촉하면서 화소영역(P)에 위치하는 제 1 화소전극(254)을 형성한다.

<139> 연속하여, 상기 제 1 화소전극(254)이 형성된 기판(200)의 전면에 컬러수지를 도포하여, 다수의 화소영역(P)에 적색과 녹색과 청색의 컬러필터(256a, 256b, 도 5의 256c)를 각각 형성한다.

<140> 도 6k에 도시한 바와 같이, 상기 다수의 컬러필터 패턴(256a, 256b, 256c)이 형성된 기판(200)의 전면에 앞서 설명한 투명전극을 증착하여 투명전극층(258)을 증착한다.

<141> 이때, 증착된 투명전극층(258)은 비정질 상태이며, KrF를 광원으로 하는 레이저를 조사하여 부분적으로 결정화를 진행한다.

<142> 즉, 화소영역(P)에 대응하는 부분에 집중적으로 레이저를 조사하여 결정화를 진행한다. 이때, 레이저 뿐 아니라 UV 램프를 강하게 쬔어 결정화 할 수 있다.

<143> 상기 부분적으로 결정화기 진행된 투명전극을 OZ산 즉, $((\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O})$ 에 담그게 되면 상기 비정질 부분만 제거되어 상기 화소영역(P)에는 상기 제 1 화소전극(254)과 접촉하면서 상기 컬러필터 패턴(256a, 256b, 256c) 상부에 구성되는 제 2 화소전극(260)을 형성할 수 있다.

<144> 이때, 상기 제 2 화소전극(260)을 형성하는 공정에서 별도의 포토공정을 진행하지 않기 때문에 포토 공정 시 현상액에 의해 하부의 컬러필터 패턴이 데미지를 입는 것을 방지할 수 있다.

<145> 또한, 전술한 공정은 컬러필터 패턴 공정을 제외하고 상기 5 마스크 공정으로 제작되므로 상기 제 1 실시예에 비해 1마스크 공정을 줄여 공정시간을 단축하는 동시에 공정비용을 낮출 수 있는 장점이 있다.

【발명의 효과】

<146> 본 발명에 따른 COT 구조의 액정표시장치는 어레이기판에 블랙매트릭스를 설계할 때 합착오차를 위한 공정마진을 둘 필요가 없으므로 개구율을 개선하는 효과가 있다.

<147> 또한, 제 2 화소전극을 형성하는 공정에서 사진식각 공정을 진행하지 않기 때문에 하부의 컬러필터가 상기 식각공정에서 사용되는 약액에 의해 데미지를 입지 않으므로 고화질을 구현하는 액정표시장치를 제작할 수 있는 효과가 있다.

<148> 또한, 박막트랜지스터를 형성할 때, 소스 및 드레인 전극과 액티브층을 1마스크 공정으로 형성함으로서, 공정시간 단축과 함께 공정비용을 낮추는 효과가 있다.

【특허청구범위】

【청구항 1】

기판 상에 구성되고, 일 방향으로 연장된 게이트 배선을 형성하는 단계와;

상기 게이트 배선과 제 1 절연막을 사이에 두고 수직하게 교차하여 다수의 화소영역을 정의하는 데이터 배선을 형성하는 단계와;

상기 게이트 배선과 데이터 배선의 교차지점에 위치하고, 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터를 형성하는 단계와;

상기 드레인 전극의 일부를 제외한 박막트랜지스터의 상부와, 게이트 배선 및 데이터 배선의 상부 블랙매트릭스를 형성하는 단계와;

상기 블랙매트릭스가 형성된 기판의 전면에 제 2 절연막을 증착한 후, 제 2 절연막과 하부의 제 1 절연막을 식각하여, 상기 드레인 전극의 일부를 노출하고 상기 화소영역에 대응하는 기판의 표면을 노출하는 단계와;

상기 패터닝된 제 2 절연막이 형성된 기판에 투명 도전성 물질을 증착하고 패터닝하여, 상기 노출된 드레인 전극과 접촉하면서 상기 화소영역에 투명 제 1 화소전극을 형성하는 단계와;

상기 제 1 화소전극의 상부에 컬러필터를 형성하는 단계와;

상기 컬러필터가 형성된 기판의 전면에 투명 도전성 물질을 증착하고, 상기 컬러필터 패터닝에 대응한 부분에만 레이저를 조사하여 결정화하는 단계와;

상기 결정화 되지 않은 부분의 비정질 투명전극을 제거하여, 상기 화소영역에 대응하여 하부의 제 1 화소전극과 접촉하는 결정화된 제 2 화소전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 반도체층은 순수 비정질 실리콘으로 형성된 액티브층과, 불순물 비정질 실리콘으로 형성된 오믹 콘택층인 액정표시장치용 어레이기판 제조방법.

【청구항 3】

제 1 항에 있어서,

상기 블랙매트릭스는 불투명한 감광성 유기 물질인 액정표시장치용 어레이기판 제조방법.

【청구항 4】

제 1 항에 있어서,

상기 게이트 배선의 상부에 상기 제 1 및 제 2 화소전극과 접촉하는 아일랜드 형상의 금속층을 더욱 형성하여 이를 제 1 전극으로 하고, 그 하부의 게이트 배선을 제 2 전극으로 하는 보조 용량부를 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기판 제조방법.

【청구항 5】

제 1 항에 있어서,

상기 박막트랜지스터와 블랙매트릭스 사이에 무기 절연층을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기판 제조방법.

【청구항 6】

제 5 항에 있어서,

상기 무기절연층을 형성하는 물질은 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2)인 액정표시장치용 어레이기판 제조방법.

【청구항 7】

제 1 항에 있어서,

상기 컬러필터 패턴은 상기 화소영역에 적색과 녹색과 청색의 컬러필터 패턴이 각각 대응되도록 형성된 액정표시장치용 어레이기판 제조방법.

【청구항 8】

제 1 항에 있어서,

상기 결정화되지 않은 비정질 투명전극 부분만을 제거하는 제거액은 OZ산($((\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}))$ 인 액정표시장치용 어레이기판 제조방법.

【청구항 9】

기판 상에 일 방향으로 연장된 게이트 배선과, 이에 연결된 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상부에 제 1 절연막을 사이에 두고 적층된 액티브 층과 오믹콘택층과, 오믹 콘택층과 접촉하고 소정간격 이격된 소스 전극과 드레인 전극과, 소스 전극에서 연장된 데이터 배선을 동시에 형성하는 단계와;

상기 소스 및 드레인 전극과 데이터 배선의 상부에 블랙매트릭스를 형성하는 단계와;

상기 블랙매트릭스가 형성된 기판의 전면에 제 2 절연막을 증착한 후, 제 2 절연막과 하부의 제 1 절연막을 식각하여, 상기 드레인 전극의 일부를 노출하고 상기 화소영역에 대응하는 기판의 표면을 노출하는 단계와;

상기 패터닝된 제 2 절연막이 형성된 기판에 투명 도전성 물질을 증착하고 패터닝하여, 상기 노출된 드레인 전극과 접촉하면서 상기 화소영역에 투명 제 1 화소전극을 형성하는 단계와;

상기 화소영역의 제 1 전극 상부에 컬러필터를 형성하는 단계와;

상기 컬러필터가 형성된 기판의 전면에 투명 도전성 물질을 증착하고, 상기 컬러필터에 대응한 부분에만 레이저를 조사하여 결정화하는 단계와;

상기 결정화 되지 않은 부분의 비정질 투명전극을 제거하여, 상기 화소영역에 대응하여 하부의 제 1 화소전극과 접촉하는 결정화된 제 2 화소전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

【청구항 10】

제 9 항에 있어서,

상기 반도체층은 순수 비정질 실리콘으로 형성된 액티브층과, 불순물 비정질 실리콘으로 형성된 오믹 콘택층인 액정표시장치용 어레이기판 제조방법.

【청구항 11】

제 9 항에 있어서,

상기 블랙매트릭스는 불투명한 감광성 유기 물질인 액정표시장치용 어레이기판 제조방법.

【청구항 12】

제 9 항에 있어서,

상기 게이트 배선의 상부에 상기 제 1 및 제 2 화소전극과 접촉하는 아일랜드 형상의 금속층을 더욱 형성하여 이를 제 1 전극으로 하고, 그 하부의 게이트 배선을 제 2 전극으로 하는 보조 용량부를 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기판 제조방법.

【청구항 13】

제 9 항에 있어서,

상기 박막트랜지스터와 블랙매트릭스 사이에 무기 절연층을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기판 제조방법.

【청구항 14】

제 13 항에 있어서,

상기 무기절연층을 형성하는 물질은 질화 실리콘(SiN_x) 또는 산화 실리콘(SiO_2)인 액정표시장치용 어레이기판 제조방법.

【청구항 15】

제 9항에 있어서,

상기 컬러필터 패턴은 상기 화소영역에 적색과 녹색과 청색의 컬러필터 패턴이 각각 대응되도록 형성된 액정표시장치용 어레이기판 제조방법.

【청구항 16】

제 9 항에 있어서,

상기 결정화되지 않은 비정질 투명전극 부분만을 제거하는 제거액은 OZ산($(\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}$)인 액정표시장치용 어레이기판 제조방법.

【청구항 17】

제 9 항에 있어서,

상기 액티브층과 소스 및 드레인 전극과 데이터 배선을 동시에 형성하는 단계는,
상기 게이트 배선과 게이트 전극이 형성된 기판의 전면에 제 1 절연막과 순수 비정질 실리콘층과 불순물 비정질 실리콘층과 오믹 콘택층과 금속층을 적층하는 단계와;

상기 금속층 상부에 포토레지스트층을 형성하고, 포토 레지스트층과 이격된 상부에 투과부의 차단부와 반투과부로 구성된 마스크를 위치시키는 단계와;

상기 마스크의 상부에 빛을 조사하여 하부의 포토레지스트층을 노광하고 현상하여, 상기 게이트 전극 상부에 서로 다른 높이로 패터닝된 제 1 포토패턴과, 상기 게이트 배선과는 수직한 형상으로 제 2 포토패턴을 형성하는 단계와;

상기 제 1 및 제 2 포토패턴 사이로 노출된 금속층과 하부의 불순물 비정질 실리콘층과 그 하부의 순수 비정질 실리콘층을 제거하여, 데이터 배선과 이에 연장된 소스-드레인 전극층과, 소스-드레인 전극층의 하부에 제 1 반도체층과 제 1 반도체층에서 상기 데이터 배선의 하부로 연장된 제 2 반도체층을 형성하는 단계와;

상기 제 1 및 제 2 포토 패턴을 애싱하는 공정을 진행하여, 상기 소스-드레인 전극층의 중앙부를 노출하는 단계와;

상기 노출된 소스 드레인 전극층을 식각하여 이격된 소스 전극과 드레인 전극을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이기판 제조방법.

【청구항 18】

제 17 항에 있어서,

상기 제 1 반도체층과 제 2 반도체층은 패터닝된 비정질 실리콘층과 불순물 비정질 실리콘층이 적층되어 구성된 액정표시장치용 어레이기판 제조방법.

【청구항 19】

제 17 항에 있어서,

상기 소스 및 드레인 전극층을 형성하는 공정에서, 상기 제 1 반도체층의 불순물 비정질 실리콘층이 제거되는 액정표시장치용 어레이기판 제조방법.

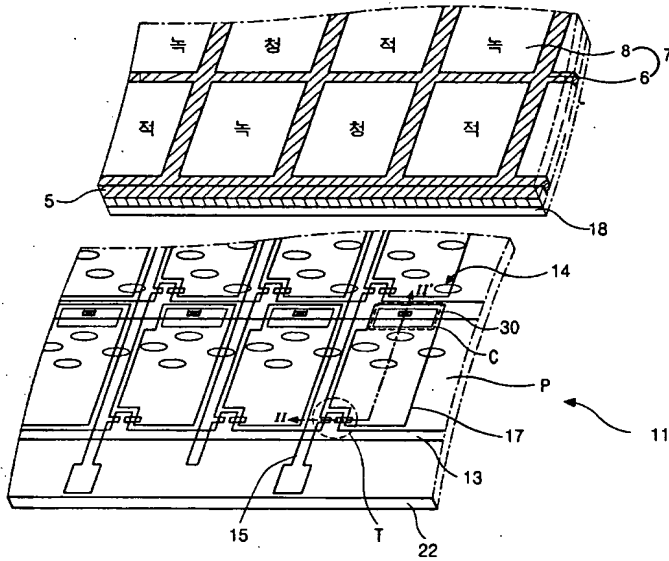
【청구항 20】

제 19 항에 있어서,

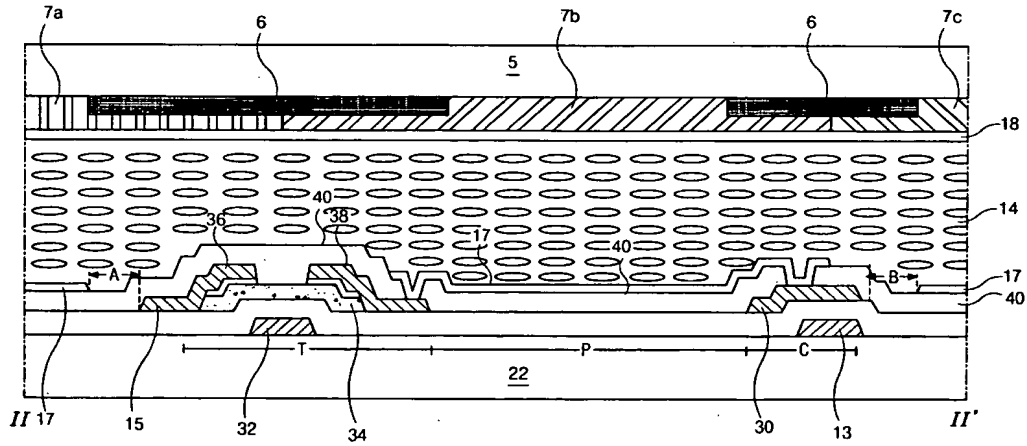
상기 데이터 배선과 소스 및 드레인 전극의 주변으로 하부의 비정질 실리콘층이 노출되어 형성된 액정표시장치용 어레이기판 제조방법.

【도면】

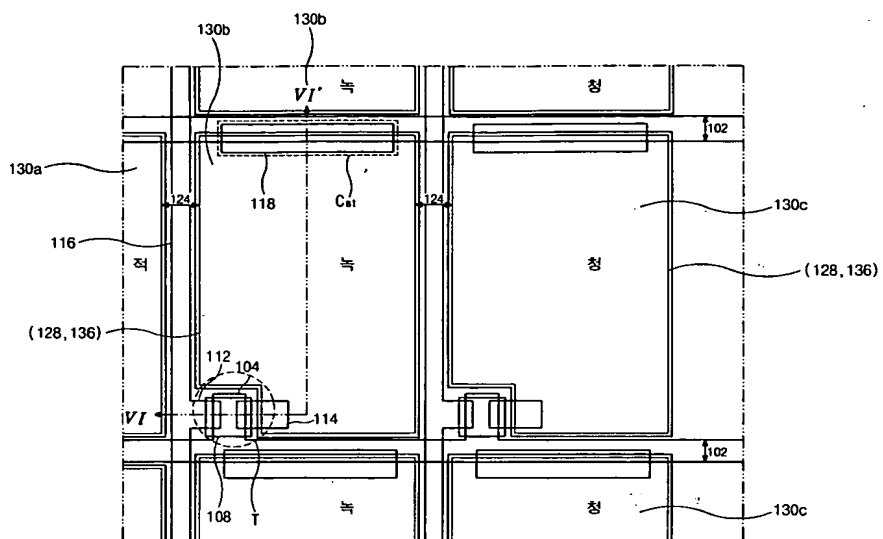
【도 1】



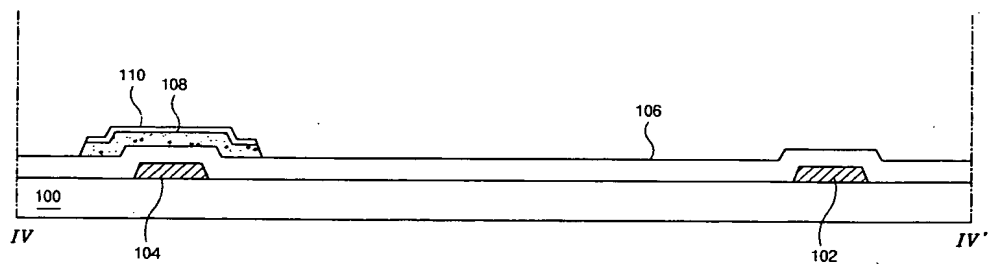
【도 2】



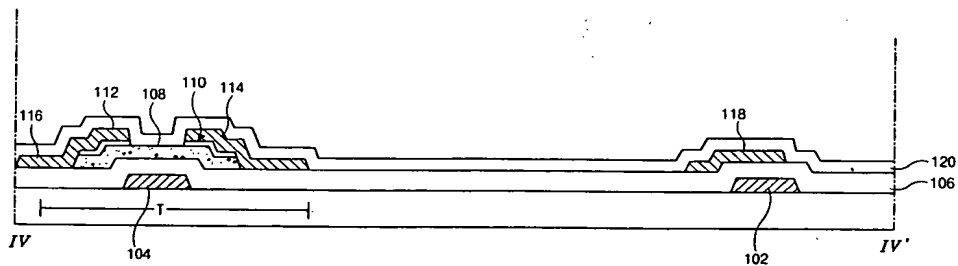
【도 3】



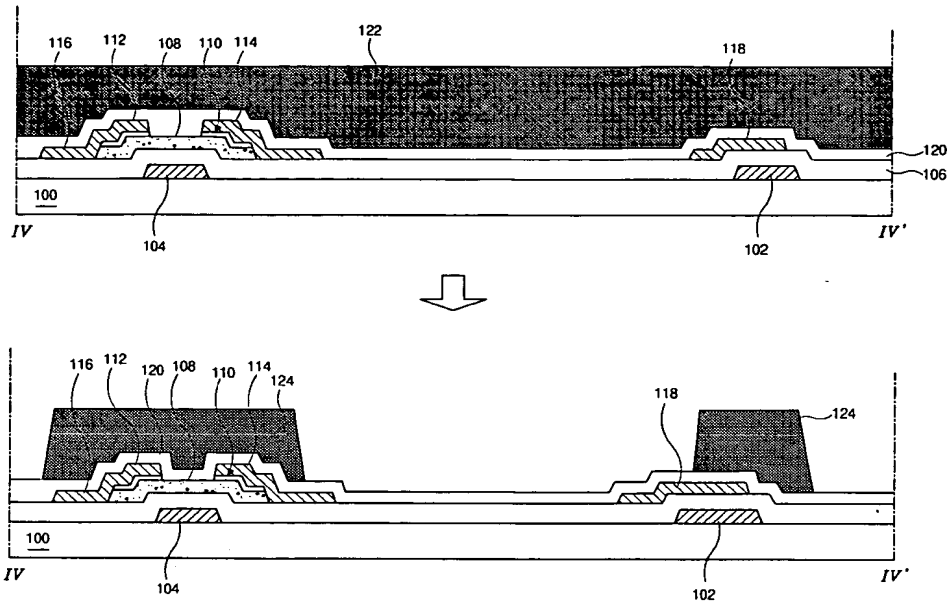
【도 4a】



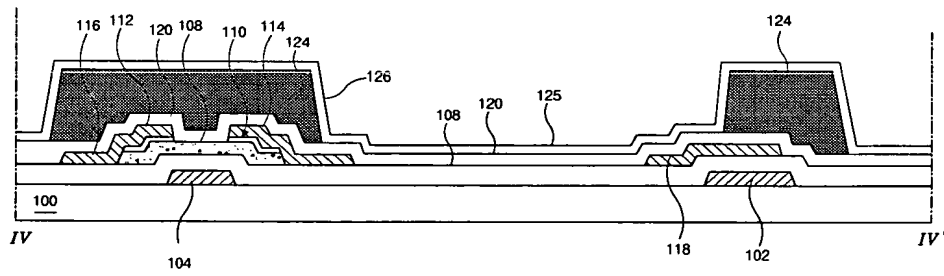
【도 4b】



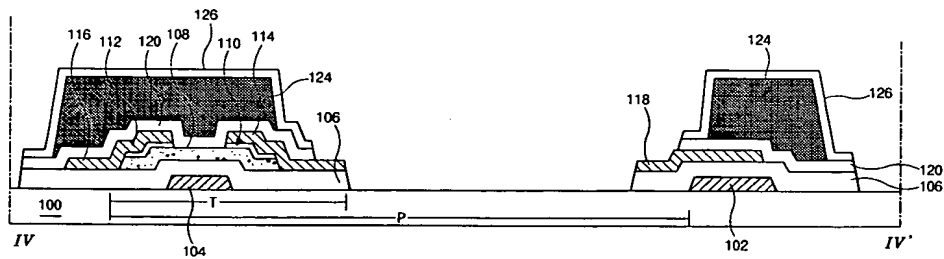
【도 4c】



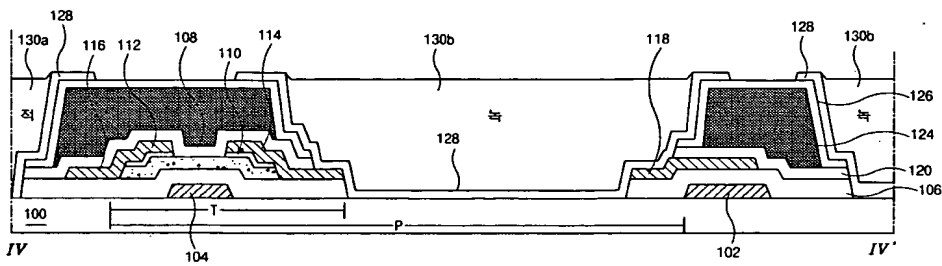
【도 4d】



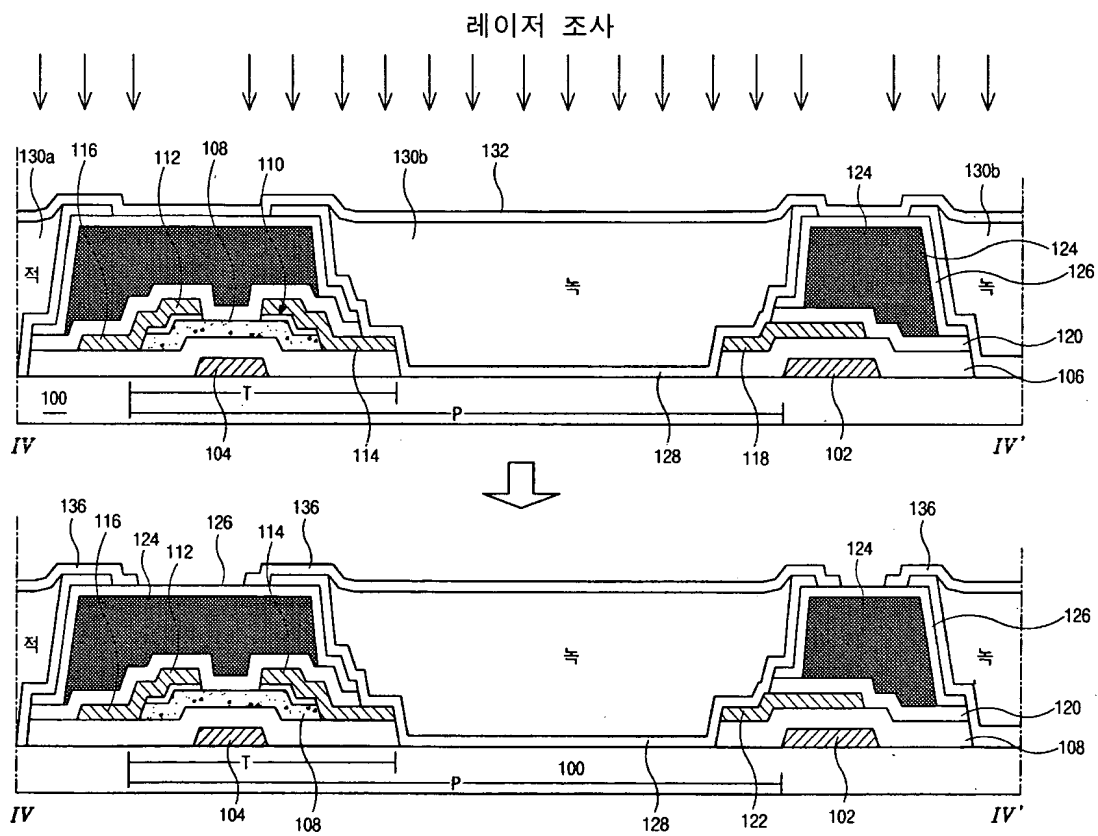
【도 4e】



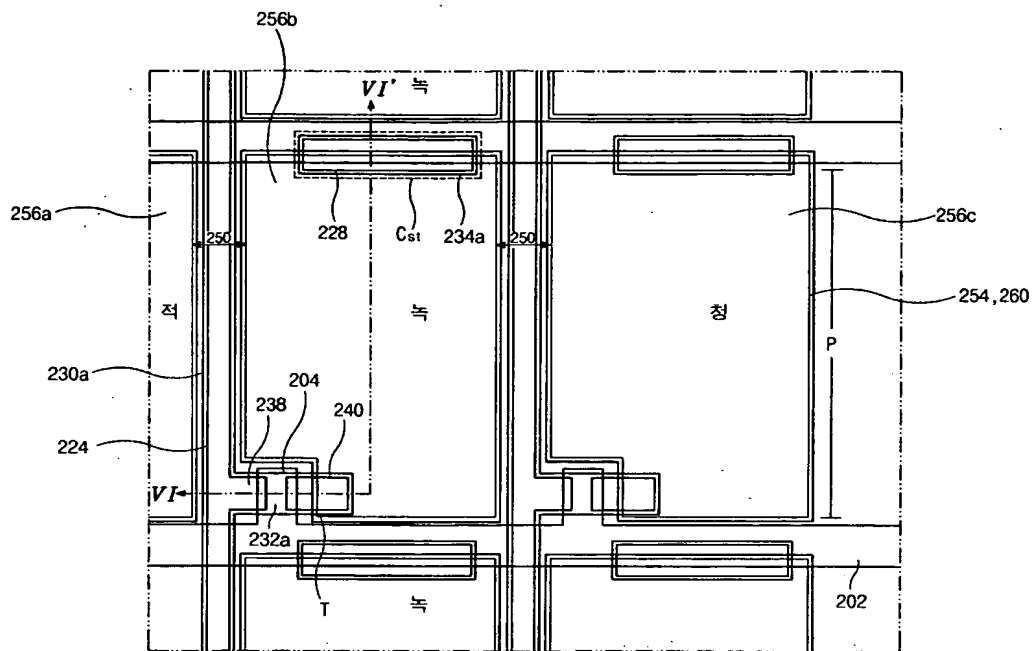
【도 4f】



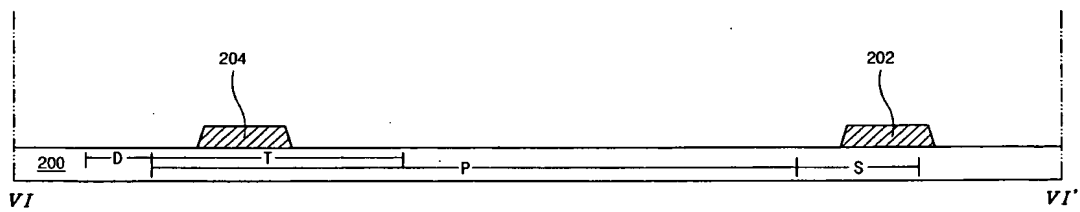
【도 4g】



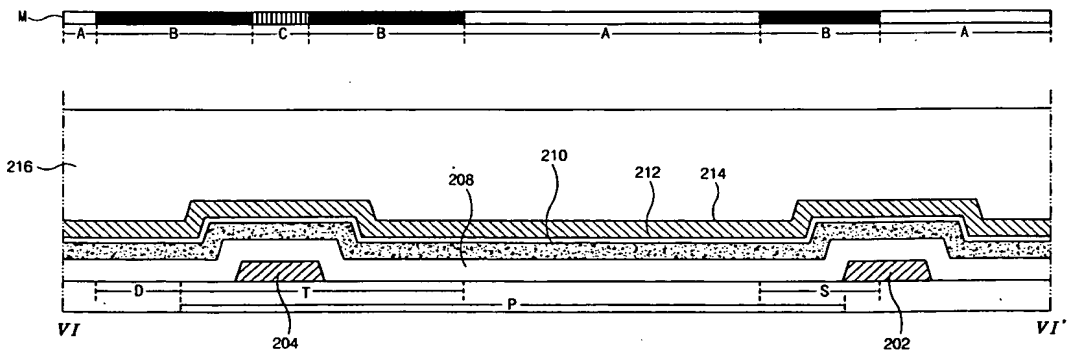
【도 5】



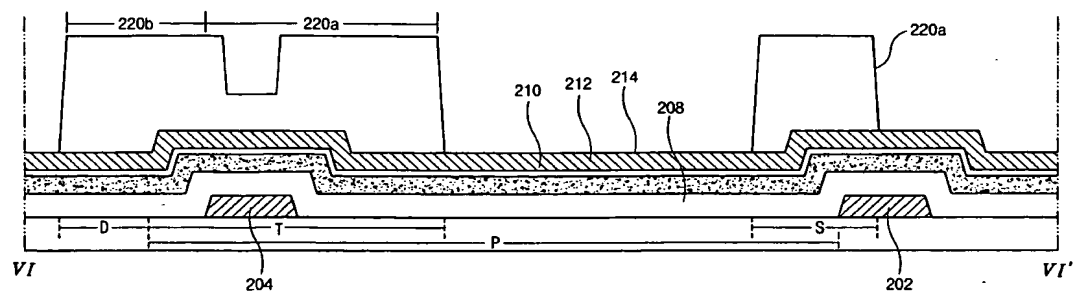
【도 6a】



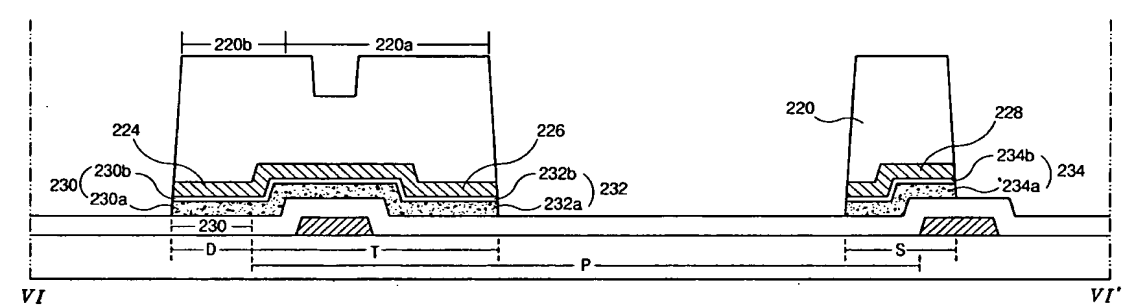
【도 6b】



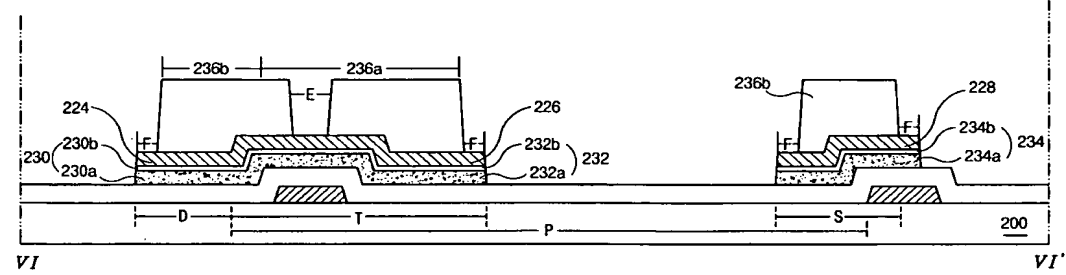
【도 6c】



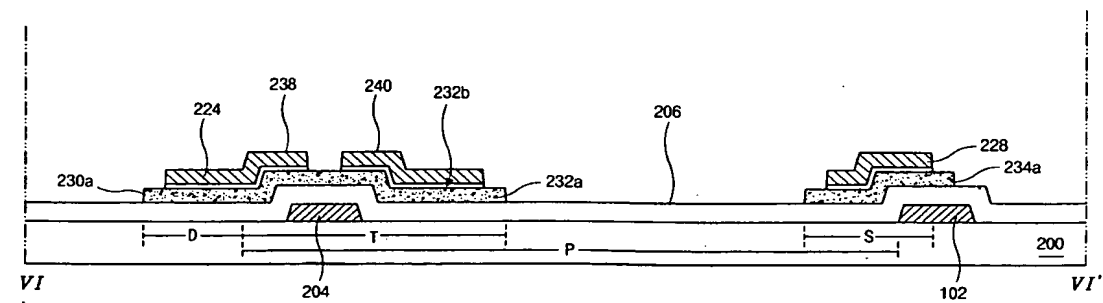
【도 6d】



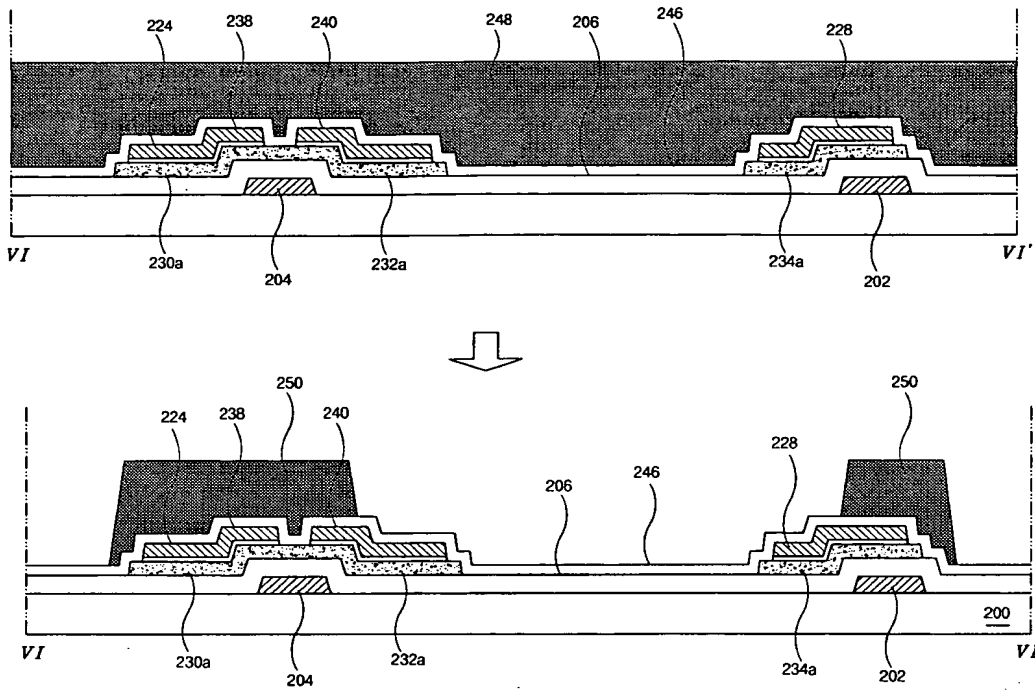
【도 6e】



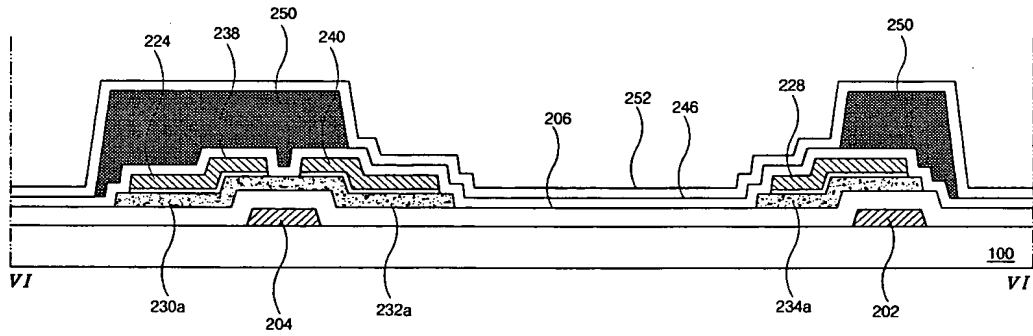
【도 6f】



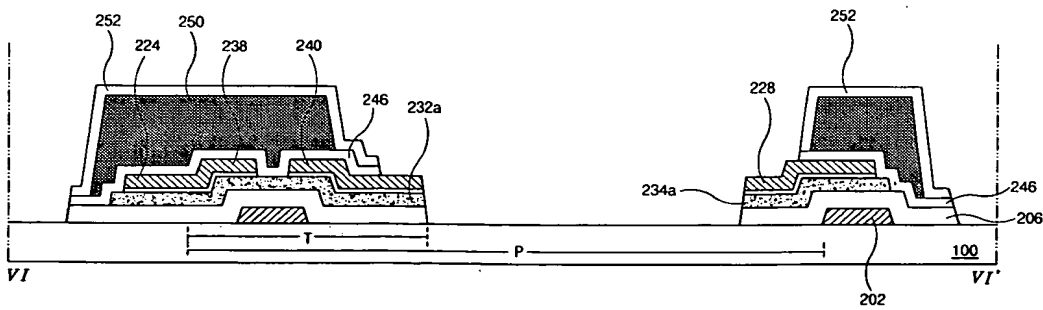
【도 6g】



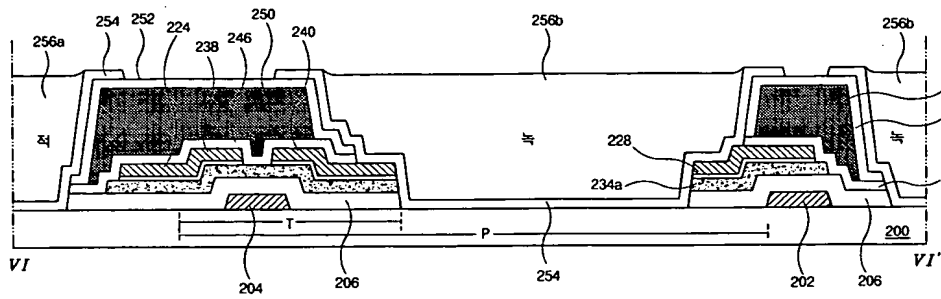
【도 6h】



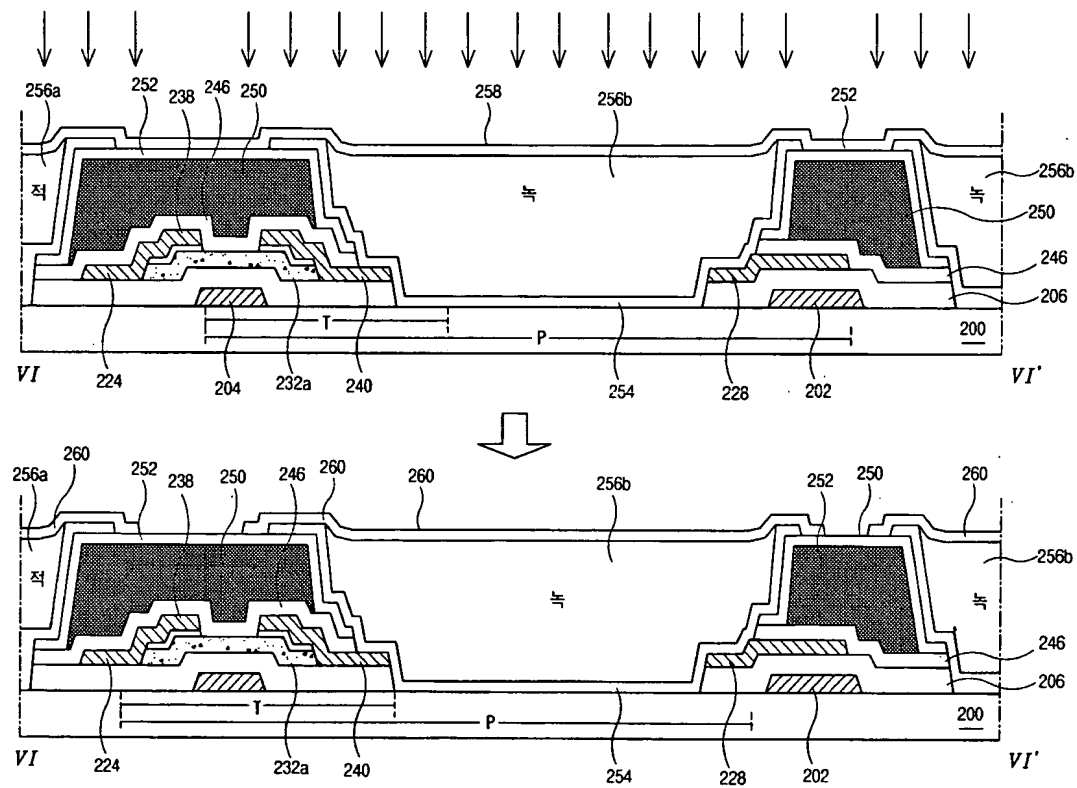
【도 6i】



【도 6j】



【도 6k】



KOREAN INDUSTRIAL PROPERTY OFFICE

BEST AVAILABLE COPY

This is to certify that the following application annexed hereto

is a true copy from the records of the Korean Industrial Property Office

Application Number : 2002 year Patent Application 65038, 10-2002-0078006

Date of Application : December 9, 2002

Applicant(s) : LG. Philips LCD Co., Ltd.

COMMISSIONER

[BIBLIOGRAPHICAL DOCUMENTS]

[TITLE OF DOCUMENT] PATENT APPLICATION

[CLASSIFICATION] PATENT

[RECIPIENT] COMMISSIONER

[REFERENCE NO.] 0005

[SUBMISSION DATE] 12. 09. 2002

[TITLE OF INVENTION IN KOREAN] □□□□□□ □□□□ □□□□

[TITLE OF INVENTION IN ENGLISH] Method for fabricating substrate of LCD

[APPLICANT]

[NAME IN KOREAN] □□. □□□ □□□ □□□□

[NAME IN ENGLISH] LG. Philips LCD Co., Ltd.

[APPLICANT CODE] 1-1998-101865-5

[REPRESENTATIVE]

[NAME] Jung, Won-Ki

[REPRESENTATIVE CODE] 9-1998-000534-2

[ALL-INCLUSIVE AUTHORIZATION REGISTRATION NO.] 1999-001832-7

[INVENTOR]

[NAME IN KOREAN] □□□

[NAME IN ENGLISH] KIM, WOONG KWON

[IDENTIFICATION NO.] 700217-1480917

[ZIP CODE] 435-040

[ADDRESS] 640-1204, Sejong APT., 1145, Sanbon-dong, Gunpo-shi,
Kyonggi-do, Republic of Korea

[NATIONALITY] KR

[INVENTOR]

[NAME IN KOREAN] □□□

[NAME IN ENGLISH] CHANG, YOUN GYOUNG

[IDENTIFICATION NO.] 720809-2042017

[ZIP CODE] 435-040

[ADDRESS] 807-103, LG-Jindalae APT., Ojeon-dong, Uiwang-shi,
Kyonggi-do, Republic of Korea

[NATIONALITY] KR

[PURPORT] We submit application as above under the article 42 of the Patent Act.

Attorney

Jung, Won-Ki (seal)

[FEES]

[BASIC APPLICATION FEE]	20 page(s)	29,000	Won
[ADDITIONAL APPLICATION FEE]	23 page(s)	23,000	Won
[PRIORITY FEE]	0 thing(s)	0	Won
[EXAMINATION REQUEST FEE]	0 claim(s)	0	Won
[TOTAL]		52,000	Won

[ENCLOSED] 1. Abstract, Specifications (with Drawings)_1 set

[DOCUMENT OF ABSTRACT]

[ABSTRACT]

The present invention relates to a liquid crystal display device, and more particularly, to a liquid crystal display device having a COT structure where a color filter formed over an array substrate.

The present invention provides forming a thin film transistor and gate and data lines over a substrate, forming a black matrix over the thin film transistor using an opaque organic material, forming a color filter over the substrate, and forming first and second transparent electrodes on front and rear surfaces of the color filter. When forming the second transparent electrode, a transparent conductive material is formed over an entire surface of the substrate and then partially crystallized to form amorphous and crystallized portions. Thereafter, the amorphous portion is etched without photoresist to form the second transparent electrode. Accordingly, a photoresist patterning process is not required, and also the color filter is not damaged.

[REPRESENTATIVE FIGURE]

FIG. 4G

[SPECIFICATION]

[TITLE OF INVENTION]

Method for fabricating substrate of LCD

[BRIEF EXPLANATION OF FIGURES]

FIG. 1 is an expanded perspective view illustrating a related art liquid crystal display device;

FIG. 2 is a schematic cross-sectional view taken along line II-II' of FIG. 1;

FIG. 3 is a partially enlarged plane view of an array substrate having a color filter on a thin film transistor structure according to a first embodiment of the present invention;

FIGs. 4A to 4G are cross-sectional views taken along a line IV-IV' of FIG. 3, illustrating the process steps of fabricating the array substrate having a color filter on a thin film transistor (COT) structure according to the first embodiment of the present invention;

FIG. 5 is a partially enlarged plane view of an array substrate having a color filter on a thin film transistor structure according to a second embodiment of the present invention; and

FIGs. 6A to 6K are cross-sectional views taken along a line VI-VI of FIG. 5, illustrating the process steps of fabricating an array substrate having the color filter on a thin film transistor (COT) structure according to the second embodiment of the present invention.

< Explanation of major parts in the FIG.s >

100: substrate

102: gate line

104: gate electrode

108: gate insulation layer

110: active layer	112: ohmic contact layer
114: source electrode	116: drain electrode
120: first passivation layer	124: black matrix
126: second passivation layer	128: first pixel electrode
130a, 130b : color filter	
136: second pixel electrode	

[DETAILED DESCRIPTION OF INVENTION]

[OBJECT OF INVENTION]

[TECHNICAL FIELD OF THE INVENTION AND PRIOR ART OF THE FIELD]

The present invention relates to liquid crystal display devices. More particularly it relates to a liquid crystal display having a COT (Color filter On TFT) structure.

A liquid crystal display device uses the optical anisotropy and polarization properties of liquid crystal molecules to produce an image. Liquid crystal molecules have a definite orientational alignment as a result of their long, thin shapes. That orientational alignment can be controlled by an applied electric field. In other words, as an applied electric field changes, so does the alignment of the liquid crystal molecules. Due to the optical anisotropy, the refraction of incident light depends on the orientational alignment of the liquid crystal molecules. Thus, by properly controlling an applied electric field a desired light image can be produced.

FIG. 1 is an expanded perspective view illustrating a related art active matrix liquid crystal display device. As shown in FIG. 1, the LCD device 11 includes an upper substrate 5 (referred to as a color filter substrate) and a lower substrate 22 (referred to as an array substrate) having a liquid crystal layer 14 interposed therebetween. A colored layer 7 having

a black matrix 6 and color filters 8 is formed on the upper substrate 5. The color filters 8 are disposed in an array matrix including a plurality of red (R), green (G), and blue (B) color filters surrounded by the black matrix 6. Additionally, a common electrode 18 is formed on the upper substrate 5 and covers the color filters 8 and the black matrix 6.

On the lower substrate 22, a plurality of thin film transistors T are formed in an array matrix corresponding to the color filters 8. A plurality of gate lines 13 and data lines 15 perpendicularly cross one another such that each TFT T is located adjacent to each intersection of the gate lines 13 and the data lines 15. Furthermore, a plurality of pixel electrodes 17 are formed on a pixel region P defined by the gate lines 13 and the data lines 15 of the lower substrate 22. The pixel electrode 17 is formed of a transparent conductive material having high transmissivity, such as indium tin oxide (ITO) or indium zinc oxide (IZO).

Still in FIG. 1, a storage capacitor C is disposed to correspond to each pixel P and connected in parallel to each pixel electrode 17. The storage capacitor C is comprised of a portion of the gate line 13 as a first capacitor electrode, a storage metal layer 30 as a second capacitor electrode, and an interposed insulator (shown in FIG. 2). Since the storage metal layer 30 is connected to the pixel electrode 17 through a contact hole, the storage capacitor C electrically communicates with the pixel electrode 17.

When fabricating the LCD device 11 of FIG. 1, the upper substrate 5 is aligned with and attached to the lower substrate 22. In this process, the upper substrate 5 may be misaligned with respect to the lower substrate 22, and a light leakage may occur in the completed LCD device 11 due to a marginal error in attaching the upper and lower substrates 5 and 22.

FIG. 2 is a schematic cross-sectional view taken along line II-II' of FIG. 1, illustrating a pixel of the related art liquid crystal display device.

As shown in FIG. 2, the related art LCD device includes the upper substrate 5, the lower substrate 22, and the liquid crystal layer 14. The upper and lower substrates 5 and 22 are spaced apart from each other, and the liquid crystal layer 14 is interposed therebetween. The upper and lower substrates 5 and 22 are often referred to as a color filter substrate and an array substrate, respectively, because the color filters 7a, 7b and 7c is formed upon the upper substrate and a plurality of array elements are formed on the lower substrate 22.

In FIG. 2, the thin film transistor T is formed on the front surface of the lower substrate 22. The thin film transistor T includes a gate electrode 32, an active layer 34, a source electrode 36, and a drain electrode 38. Between the gate electrode 32 and the active layer 34, a gate insulation layer is interposed to protect the gate electrode 32 and the gate line 13. As shown in FIG. 1, the gate electrode 32 extends from the gate line 13 and the source electrode 36 extends from the data line 15. All of the gate, source, and drain electrodes 32, 36, and 38 are formed of a metallic material while the active layer 34 is formed of silicon. A passivation layer 40 is formed on the thin film transistor T for protection. In the pixel region P, the pixel electrode 17 formed of a transparent conductive material is disposed on the passivation layer 40 and contacts the drain electrode 38 and the storage metal layer 30.

Meanwhile, as mentioned above, the gate electrode 13 acts as a first electrode of the storage capacitor C and the storage metal layer 30 acts as a second electrode of the storage capacitor C. Thus, the gate electrode 13 and the storage metal layer 30 constitute the storage capacitor C with the interposed gate insulation layer.

Still referring to FIG. 2, the upper substrate 5 is spaced apart from the lower substrate 22 over the thin film transistor T. On the rear surface of the upper substrate 5, a black matrix

6 is disposed in a position corresponding to the thin film transistor T, the gate line 13 and the data line 15. The black matrix 6 is formed on the entire surface of the upper substrate 5 and has openings corresponding to the pixel electrode 17 of the lower substrate 22, as shown in FIG. 1. The black matrix 6 prevents a light leakage in the LCD panel except for the portion for the pixel electrode 17. The black matrix 6 protects the thin film transistor T from the light such that the black matrix 6 prevents generation of a photo-current in the thin film transistor T. The color filters 7a, 7b and 7c are formed on the rear surface of the upper substrate 5 to cover the black matrix 6. Each of the color filters 7a, 7b and 7c has one of the red, green, and blue colors and corresponds to one pixel region P where the pixel electrode 17 is located. A common electrode 18 formed of a transparent conductive material is disposed on the color filters 7a, 7b and 7c over the upper substrate 5.

In the related art LCD panel mentioned above, the pixel electrode 17 has a one-to-one correspondence with one of the color filters. Furthermore, in order to prevent a cross-talk between the pixel electrode 17 and the gate and data lines 13 and 15, the pixel electrode 17 is spaced apart from the data line 15 by the distance A and from the gate line 13 by the distance B, as shown in FIG. 2. The open spaces A and B between the pixel electrode 17 and the data and gate line 15 and 13 cause a malfunction such as a light leakage in the LCD device.

Namely, the light leakage mainly occurs in the open spaces A and B so that the black matrix 6 formed on the upper substrate 5 should cover the open spaces A and B. However, when the upper substrate 5 is arranged with the lower substrate 22 or vice versa, a misalignment may occur between the upper substrate 5 and the lower substrate 22. Therefore, the black matrix 6 is extended to completely cover the open spaces A and B. That is, the black matrix 6 is designed to provide an aligning margin to prevent a light leakage. However, in the case of extending the black matrix 6, an aperture ratio of a liquid crystal panel is reduced as much as

the aligning margin of the black matrix 6. Moreover, if there are errors in the aligning margin of the black matrix 6, a light leakage still occurs in the open spaces A and B, and deteriorates the image quality of an LCD device

[TECHNICAL SUBJECT OF INVENTION]

Accordingly, the present invention is directed to a method for fabricating an array substrate having a color filter on a thin film transistor (COT) structure for a liquid crystal display device that substantially obviates one or more of problems due to limitations and disadvantages of the related art.

In the present invention, a first transparent pixel electrode is formed in the pixel region. The, a color filter is disposed on the first transparent pixel electrode, and a second transparent pixel electrode is formed on the color filter. The first transparent pixel electrode contacts a drain electrode, and a second transparent pixel electrode contacts the first transparent pixel electrode. According to the present invention, the process of forming the second transparent pixel electrode does not include a photoresist patterning process, but includes irradiating a laser beam to a portion of a transparent conductive material and crystallizing it. The other portion that is not irradiated by the laser beam remains as amorphous state, and finally etched to form the second transparent pixel electrode in the pixel region.

Since the method of the present invention uses the laser beam and since the photoresist patterning process is not performed, the etchant and developer are unnecessary and the color filter is not damaged. Further in the present invention, a method for fabricating an array substrate having a color filter on a thin film transistor (COT) structure for a liquid crystal display device provides a high aperture ratio.

[CONSTRUCTION AND OPERATION OF INVENTION]

In order to achieve the above object, a first embodiment in accordance with the principles of the present invention provides a method of forming an array substrate for use in a liquid crystal display device. The method includes forming a gate line disposing in a first direction over a substrate; forming a data line disposing in a second direction over the substrate, the data line defining a pixel region by perpendicularly crossing the gate line; forming a thin film transistor at a crossing of the gate and data lines, wherein the thin film transistor includes a gate electrode, a semiconductor layer, a source electrode and a drain electrode; forming a first insulating film to cover the thin film transistor and the data line; forming a black matrix on the first insulating film, over the gate line, over the data line and over the thin film transistor except a portion of drain electrode; forming a second insulating film on the first insulating film to cover the black matrix; patterning the first and second insulating films to expose a portion of drain electrode and a portion of the substrate corresponding to the pixel region; forming a first transparent electrode layer over an entire of the substrate to cover the patterned second insulating film and the exposed portion of the drain electrode; patterning the first transparent electrode layer to form a pixel electrode in the pixel region, wherein the pixel electrode contacts the exposed portion of the drain electrode; forming a color filter on the pixel electrode; forming a second transparent electrode layer over an entire of the substrate to cover the color filter and the first pixel electrode, wherein the second transparent electrode is in an amorphous state; irradiating a laser beam to a portion of the second transparent electrode layer corresponding to the pixel region so as to crystallize the irradiated portion of the second transparent electrode; and forming a second pixel electrode in the pixel region by removing a non-crystallized portion of the second transparent electrode

layer, wherein the second pixel electrode contacts the first pixel electrode around the color filter.

In the first embodiment, the semiconductor layer includes an active layer of intrinsic amorphous silicon and an ohmic contact layer of extrinsic amorphous silicon layer. The black matrix is formed of an opaque photosensitive organic material. The method according to the first embodiment further includes forming a storage capacitor over a portion of the gate line, wherein the forming the storage capacitor includes forming a storage metal layer over the portion of the gate line so that the storage capacitor acts as a first electrode of the storage capacitor and the portion of the gate line acts as a second electrode of the storage capacitor.

The method according to the first embodiment further includes forming an inorganic insulator between the thin film transistor and the black matrix. The inorganic insulator is one of silicon nitride and silicon oxide. The color filter is disposed in the pixel region and includes a color resin having one of red, green and blue colors. The forming the second pixel electrode includes applying an oxalic acid $[(\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}]$ to the partially laser-irradiated second transparent electrode layer.

In another aspect, a second embodiment in accordance with the principles of the present invention provides a method of forming an array substrate for use in a liquid crystal display device. The method forming a gate line in a first direction and a gate electrode extending from the gate line over a substrate; forming a semiconductor layer, a data line, a source electrode and a drain electrode at a same mask process using a same mask, the data line being in a second direction over the substrate and defining a pixel region by crossing the gate line, the source electrode extending from the data line, the source and drain electrodes contacting the semiconductor layer, thereby completing a thin film transistor at a crossing of the gate and data lines, wherein the thin film transistor includes the gate electrode, the

semiconductor layer, the source electrode and the drain electrode; forming a first insulating film to cover the thin film transistor and the data line; forming a black matrix on the first insulating film, over the gate line, over the data line and over the thin film transistor except a portion of drain electrode; forming a second insulating film on the first insulating film to cover the black matrix; patterning the first and second insulating films to expose a portion of drain electrode a portion of the substrate corresponding to the pixel region; forming a first transparent electrode layer over an entire of the substrate to cover the patterned second insulating film and the exposed portion of the drain electrode; patterning the first transparent electrode layer to form a pixel electrode in the pixel region, wherein the pixel electrode contacts the exposed portion of the drain electrode; forming a color filter on the pixel electrode; forming a second transparent electrode layer over an entire of the substrate to cover the color filter and the pixel electrode, wherein the second transparent electrode is in an amorphous state; irradiating a laser beam to a portion of the second transparent electrode layer corresponding to the pixel region so as to crystallize the irradiated portion of the second transparent electrode; and forming a second pixel electrode in the pixel region by removing a non-crystallized portion of the second transparent electrode layer, wherein the second pixel electrode contacts the first pixel electrode around the color filter.

In the second embodiment, the semiconductor layer includes an active layer of intrinsic amorphous silicon and an ohmic contact layer of extrinsic amorphous silicon layer. The black matrix is formed of an opaque photosensitive organic material. The method according to the second embodiment further includes forming a storage capacitor over a portion of the gate line, wherein the forming the storage capacitor includes forming a storage metal layer over the portion of the gate line so that the storage capacitor acts as a first

electrode of the storage capacitor and the portion of the gate line acts as a second electrode of the storage capacitor.

The method according to the second embodiment further includes forming an inorganic insulator between the thin film transistor and the black matrix. The inorganic insulator is one of silicon nitride and silicon oxide. The color filter is disposed in the pixel region and includes a color resin having one of red, green and blue colors. The forming the second pixel electrode includes applying an oxalic acid $[(\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}]$ to the partially laser-irradiated second transparent electrode layer.

In the method according to the second embodiment, wherein the forming a semiconductor layer, a data line, a source electrode and a drain electrode includes forming a gate insulation layer on the substrate to cover the gate line and the gate electrode; forming an intrinsic amorphous silicon layer, a doped amorphous silicon layer and a metal layer in series on the first insulating film; forming a photoresist on the metal layer; disposing a mask over the photoresist, wherein the mask has a light transmitting portion, a light shielding portion and a light half-transmitting portion; forming first and second photoresist patterns by light irradiation through the mask, the second photoresist pattern having a smaller thickness than the first photoresist pattern and corresponding to the light half-transmitting portion; patterning the metal layer, the doped amorphous silicon layer and the intrinsic amorphous silicon layer to form a data line, a source-drain metal pattern and a storage metal layer underneath the first and second photoresist patterns, and to form a first semiconductor pattern underneath the data line and source-drain metal pattern and a second semiconductor pattern underneath the storage metal layer, wherein the data line is disposed in a longitudinal direction and defines a pixel region, wherein the source-drain metal pattern extends from the data line, and wherein the storage metal is disposed over the gate line; ashing the first and second photoresist patterns

until the second photoresist pattern is completely removed, thereby exposing side portions of the data line and storage metal layer and a center portion of the source-drain metal pattern over the gate electrode; and patterning the exposed side portions of the data line and storage metal layer and the center portion of the source-drain metal pattern, thereby forming the source and drain electrodes. Each of the first and second semiconductor patterns is comprised of the patterned intrinsic and extrinsic amorphous silicon layers. The forming the source and drain electrodes includes removing a portion of the patterned extrinsic amorphous silicon layer to form an active channel in the first semiconductor pattern over the gate electrode between the source and drain electrodes. The patterning the exposed side portions of the data line and storage metal layer exposes intrinsic amorphous silicon layer.

Reference will now be made in detail to the illustrated embodiments of the present invention, examples of which are illustrated in the accompanying drawings. Wherever possible, the same reference numbers will be used throughout the drawings to refer to the same or like parts.

[FIRST EMBODIMENT]

FIG. 3 is a partially enlarged plane view of an array substrate having a color filter on a thin film transistor structure according to a first embodiment of the present invention.

As shown in FIG. 3, an array substrate includes a plurality of gate lines 102 disposed in a transverse direction and a plurality of data lines 116 disposed in a longitudinal direction. The plurality of gate lines 102 and the plurality of data lines 116 cross one another and define a pixel region P. A thin film transistor T is formed at each intersection of the gate line 102 and the data line 116. The thin film transistor T includes a gate electrode 104, an active layer 108, a source electrode 112, and a drain electrode 114. In the pixel regions P defined by the

gate lines and data lines 102 and 116, a plurality of color filters 130a, 130b, and 130c are located therein. Additionally, a double-layered pixel electrode is disposed corresponding to each pixel region P. A first pixel electrode 128 and a second pixel electrode 136 have almost the same shape. Although not shown in FIG. 3, the first pixel electrode 128 is disposed beneath the color filter 130 and contacts the drain electrode 114, and the second pixel electrode 136 is disposed on the color filter 130 and contacts the first pixel electrode 128. Namely, the color filter 130 is located between the first and second pixel electrodes 128 and 136, and the second pixel electrode 136 electrically contacts the drain electrode 114 through the first pixel electrode 128.

Meanwhile, a storage capacitor Cst is included in a portion of the gate line 102 and a storage metal layer 118. Thus, the portion of the gate line 102 acts as a first electrode of the storage capacitor Cst, and the storage metal layer 118 acts as a second electrode of the storage capacitor Cst. The first and second pixel electrodes 128 and 136 electrically contact the storage metal layer 118, so that they are electrically connected to the storage capacitor Cst in parallel.

The array substrate of FIG. 3 has a color filter on a thin film transistor (COT) structure. In such a COT structure, a black matrix 124 and the color filters 130 are formed on the array substrate. The black matrix 124 is disposed to correspond to the thin film transistors T and the gate lines 102 and the data lines 116, so that it prevents a light leakage in the LCD device. The black matrix 124 is formed of an opaque organic material, thereby blocking the light incident to the thin film transistors T. Also, it protects the thin film transistors T from the external impact.

Additionally, since the photolithography process is not used when forming the second pixel electrode 136 in the present invention, the color filters 130 underlying the second pixel

electrode 136 are not damaged. Namely, since a photoresist and a developer for developing the photoresist are not utilized when forming the second pixel electrode 136, the number of process step is decreased and the process stability is achieved in the present invention.

FIGs. 4A to 4G are cross-sectional views taken along a line IV-IV' of FIG. 3, illustrating the process steps of fabricating the array substrate having a color filter on a thin film transistor (COT) structure according to the first embodiment of the present invention.

In FIG. 4A, a first metal layer is deposited on the surface of a substrate 100, and then patterned through the first mask process to form a gate line 102 and a gate electrode 104. Thereafter, a gate insulation layer 106 (a first insulating layer) is formed on the substrate 100 to cover the gate line 102 and the gate electrode 104. The gate insulation layer 106 is formed of an inorganic material, such as silicon nitride (SiN_x) and silicon oxide (SiO_2). An intrinsic amorphous silicon layer (a-Si:H) and then an n^+ -doped amorphous silicon layer (n^+ -a-Si:H) are sequentially deposited on the entire surface of the gate insulation layer 106 and then simultaneously patterned through the second mask process to form an active layer 108 and an ohmic contact layer 110. The ohmic contact layer 110 is then located on the active layer 108.

In FIG. 4B, after forming the active layer 108 and the ohmic contact layer 110, a second metal layer is deposited over the substrate 100, and patterned through the third mask process to form a source electrode 112, a drain electrode 114, a data line 116, and a storage metal layer 118. The second metal layer may be formed of one of chromium (Cr), molybdenum (Mo), and an alloy of any combination thereof. The source electrode 112 extends from the data line 116 and contacts one portion of the ohmic contact layer 110. The drain electrode 114 is spaced apart from the source electrode 112 and then contacts the other portion of the ohmic contact layer 110. The storage metal layer 118 overlaps a portion of the gate line 102. Thereafter, a portion of the ohmic contact layer 110 between the source and

drain electrodes 112 and 114 is etched by using the source and drain electrodes 112 and 114 as masks, and a thin film transistor T and a storage capacitor Cst are complete. As described with reference to FIG. 3, the thin film transistor T is comprised of the gate electrode 104, the active layer 108, the ohmic contact layer 110, the source electrode 112, and the drain electrode 114. And the storage capacitor Cst is comprised of the gate line 102, the storage metal layer 118, and the interposed first insulator 106.

Thereafter, a second insulating layer 120 is deposited over the entire surface of the substrate 100 to cover the patterned second metal layer. The second insulating layer 120 may be formed of silicon nitride (SiN_x) or silicon oxide (SiO_2). The second insulating layer 120 enhances the adhesion of an organic layer to be formed in the later process. The second insulating layer 120 improves the adhesion between the active layer 108 and the organic layer. If there is no contact problem between the active layer 108 and the organic material layer, the second insulating layer 120 is not necessary.

In FIG. 4C, an opaque organic material layer 122 having a low dielectric constant is deposited on the second insulating layer 120. The opaque organic material layer 122 has a black color, so that it becomes a black matrix. Thereafter, the opaque organic material layer 122 formed on the second insulating layer 120 is patterned through the fourth mask process, so that a black matrix 124 is formed over the thin film transistor T, the data line 116, and the gate line 102. The black matrix 124 is formed of an organic material to protect the thin film transistor T.

In FIG. 4D, a third insulating layer 126 is formed over the entire surface of the substrate 100 to cover the black matrix 124. The third insulating layer 126 may be formed of an inorganic insulating material, such as silicon nitride (SiN_x) or silicon oxide (SiO_2), or an organic material insulating material, such as benzocyclobutene (BCB) or acrylic resin.

Now in FIG. 4E, the first, second, and third insulating layers 108, 120, and 125 are simultaneously patterned through the fifth mask process. Thus, an end side portion of the drain electrode 106 and an end side portion of the storage metal layer 118 are exposed. Although FIG. 4E shows that the substrate 100 is exposed by patterning the first insulating layer 108, the first insulating layer 108 may remain, and only the second and third insulating layers 120 and 125 may be patterned to expose the side portions of the drain electrode 106 and storage metal layer 118. Furthermore, the remaining portion of the first gate insulating layer 106 on the substrate 100 may control the height of a color filter to be formed in the later process.

FIG. 4F shows the step of forming a first pixel electrode 128 and color filters 130. A first transparent electrode layer of indium tin oxide (ITO) or indium zinc oxide (IZO) is deposited over the entire surface of the substrate 100 to cover the patterned third insulating layer 126 and to contact the exposed side portions of the drain electrode 106 and the storage metal layer 118. Thereafter, the first transparent electrode layer is patterned through the sixth mask process, so that the first pixel electrode 128 is formed in the pixel region P, except for a portion over the gate electrode 104. As shown in FIG. 4F, the first pixel electrode 128 contacts both the side portions of the drain electrode 106 and the storage metal layer 118. After forming the first pixel electrode 128, a color resin is formed on the first pixel electrode 128 and then developed to form color filters 130a, 130b, and 130c having red (R), green (G), and blue (B). As described above, the color filters 130a, 130b, and 130c for displaying the full spectrum of colors are formed in the pixel regions P on the first pixel electrode 128.

Now in FIG. 4G, a second transparent electrode layer 132 is formed on the color filters 130, the exposed portions of the first pixel electrode 128, and the exposed portions of the third insulating layer 126. The second transparent electrode layer 132 is formed of indium tin

oxide (ITO) or indium zinc oxide (IZO) similar to the first transparent electrode layer. At this time, the second transparent electrode layer 132 is in an amorphous state. Then, a KrF excimer laser partially irradiates the second transparent electrode layer 132. Specially, the KrF excimer laser irradiates the pixel portions of the second transparent electrode layer 132 which corresponds to the pixel regions P, and thus the irradiated portions of the second transparent electrode layer 132 become crystallized. When crystallizing the pixel portions of the second transparent electrode layer 132, a strong UV light from a UV lamp may irradiate instead of the KrF excimer laser.

Still in FIG. 4G, after the crystallization of the second transparent electrode layer 132, the second transparent electrode layer 132 is etched by oxalic acid $[(\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}]$, and thus the amorphous portions of the second transparent electrode layer 132 are removed while the crystallized portions of the second transparent electrode layer 132 remain, whereby the crystallized portions of the transparent electrode layer 132 become second pixel electrodes 136. Due to the etch selectivity between the amorphous and crystallized portions of the second transparent electrode layer 132, the second pixel electrode 136 can be formed without any photolithography process. Accordingly, the second pixel electrode 136 contacting the first pixel electrode 128 around the color filter 130 is finally formed. Namely, a double-layered pixel electrode (i.e., often referred to as a sandwich pixel electrode) comprised of the first and second pixel electrodes 128 and 136 is formed corresponding to each pixel region P.

As mentioned before, each color filter 130 is interposed between the first and second pixel electrodes 128 and 136 in the present invention. And in the first embodiment of the present invention, the black matrix 124 and the color filters 130 are formed in the lower substrate 100, so that the liquid crystal display device can have a high aperture ratio. Further, since the pixel electrode has a double-layered structure, the process stability is improved

during the fabricating process of the array substrate. Furthermore, since no photoresist and no photolithography process are required when forming the second pixel electrode 136, a developer and/or a stripper will not be applied to the array substrate, so that the underlying color filters 130 will not be damaged.

In the first embodiment of the present invention, the array substrate having a color filter on a thin film transistor (COT) structure is fabricated through the six-mask process. However, the number of the mask process can be reduced.

[SECOND EMBODIMENT]

FIG. 5 is a partially enlarged plane view of an array substrate having a color filter on a thin film transistor (COT) structure according to a second embodiment of the present invention.

As shown in FIG. 5, an array substrate includes a plurality of gate lines 202 disposed in a transverse direction and a plurality of data lines 224 disposed in a longitudinal direction. The plurality of gate lines 202 and the plurality of data lines 224 cross one another and define a plurality of pixel regions P. A thin film transistor T is formed at each intersection of the gate line 202 and the data line 224. The thin film transistor T includes a gate electrode 204, an active layer 232a, a source electrode 238, and a drain electrode 240. In the pixel regions P defined by the plurality of gate lines and data lines 202 and 224, a plurality of color filters 256a, 256b, and 256c are located therein. Additionally, a double-layered pixel electrode is disposed corresponding to each pixel region P. A first pixel electrode 254 and a second pixel electrode 260 have almost the same shape. Although not indicated in FIG. 5, the first pixel electrode 254 is disposed beneath the color filter 256 and contacts the drain electrode 240, and the second pixel electrode 260 is disposed on the color filter 256 and contacts the first pixel

electrode 254. Namely, the color filter 256 is located between the first and second pixel electrodes 254 and 260, and the second pixel electrode 260 electrically contacts the drain electrode 240 through the first pixel electrode 254.

Meanwhile, a storage capacitor Cst is included in a portion of the gate line 202 and a storage metal layer 228. Thus, the portion of the gate line 202 acts as a first electrode of the storage capacitor Cst, and the storage metal layer 228 acts as a second electrode of the storage capacitor Cst. The first and second pixel electrodes 254 and 260 electrically contact the storage metal layer 228, so that they are electrically connected to the storage capacitor Cst in parallel.

In the second embodiment of the present invention, the active layer 232a and the source and drain electrodes 238 and 240 are formed through the same patterning process, whereby the active layer is disposed underneath the source and drain electrodes 238 and 240. Additionally, since the data line 224 and the storage metal layer 228 are formed with the source and drain electrodes 238 and 240 at the same process, other silicon layers 230a and 234a are further disposed underneath the data line 224 and the storage metal layer 228, respectively.

The array substrate 200 of FIG. 5 also has a color filter on a thin film transistor (COT) structure. In such a COT structure, a black matrix 250 and the color filters 256 are formed on the array substrate 200. The black matrix 250 is disposed to correspond to the thin film transistors T and the gate lines 202 and the data lines 224, so that it prevents a light leakage in the LCD device. The black matrix 250 is formed of an opaque organic material, thereby blocking the light incident to the thin film transistors T. Also, it protects the thin film transistors T from the external impact.

Additionally, the photolithography process is not used when forming the second pixel electrode 260 in the present invention. Thus, the color filters 256 underlying the second pixel electrode 260 are not damaged by a developer and/or a stripper. Namely, since a photoresist and a developer developing the photoresist are not utilized when forming the second pixel electrode 260, the number of process steps is decreased and the process stability is achieved in the present invention.

FIGs. 6A to 6K are cross-sectional views taken along a line VI-VI' of FIG. 5, illustrating the process steps of fabricating an array substrate having a color filter on a thin film transistor (COT) structure according to the second embodiment of the present invention.

In FIG. 6A, a thin film transistor region T, a pixel region P, a data region D, and a storage region S are defined on a substrate 200. A first metal layer is deposited on the surface of a substrate 200, and then patterned through the first mask process to form a gate line 202 and a gate electrode 204.

Next in FIG. 6B, a gate insulation layer 208 (a first insulating layer) is formed on the substrate 200 to cover the gate line 202 and the gate electrode 204. The gate insulation layer 208 is formed of an inorganic material, such as silicon nitride (SiN_x) and silicon oxide (SiO_2). An intrinsic amorphous silicon layer (a-Si:H) 210, an n^+ -doped amorphous silicon layer (n^+ -a-Si:H) 212, and a second metal layer 214 are sequentially deposited on the entire surface of the gate insulation layer 208. The second metal layer 214 may be formed of one of chromium (Cr), molybdenum (Mo), copper (Cu), tungsten (W), titanium (Ti), aluminum (Al), aluminum alloy (e.g., AlNd), and an alloy of any combination thereof. Thereafter, a photoresist 216 is formed on the second metal layer 214.

Additionally, a mask M having a transmitting portion A, a shielding portion B and a half-transmitting portion C is located over the photoresist 216 for the second mask process.

The transmitting portion A allows the light to fully pass through and corresponds to the pixel region P except for the portions for thin film transistor region T and storage region S. The shielding portion B thoroughly blocks the light during the second mask process and corresponds to the data region D, the thin film transistor region T, and the storage region S. The half-transmitting portion C may be a plurality of slits or a semitransparent film so that only a half portion of the light can pass through. The half-transmitting portion C corresponds to the portion of the thin film transistor region T, especially to the gate electrode 204.

After disposing the mask M in accordance with the above description, a light exposure is performed to the photoresist 216 through the mask M. The light passing through the transmitting portion A fully irradiates the corresponding regions, while the light passing through the half-transmitting portion C weakly irradiates the corresponding regions.

FIG. 6C show the process step of developing the photoresist 216 after the light exposure. After developing the photoresist 216, the portions corresponding to the shielding portion B of the mask M fully remain, but the portions corresponding to the transmitting portions A are fully removed. Further, the portion corresponding to the half-transmitting portion C is removed and remains partially. Therefore, after the developing process of the photoresist 216, a first photo-pattern 220a and a second photo-pattern 220b are remainders on the second metal layer 214. As shown in FIG. 6C, the second photo-pattern 220b has a height smaller than the first photo-pattern 220a because it was weakly irradiated by the feeble light passed through the half-transmitting portion C of the mask M. The height of the first photo-pattern 220a is almost double of the second photo-pattern 220b.

In FIG. 6D, the exposed portions of the second metal layer 214, the n^+ -doped amorphous silicon layer 212 and the intrinsic amorphous silicon layer 210 are simultaneously etched. Thus, a data line 224, a source-drain metal layer 226, and a storage metal layer 228

are formed underneath the photo-patterns 220. The data line 224 is corresponding to the data region D, and the storage metal layer 228 is corresponding to the storage region S. The source-drain metal layer 226 extends from the data line 224 and corresponds to the thin film transistor region T. Since the n^+ -doped amorphous silicon layer 212 and the intrinsic amorphous silicon layer 210 are etched at the same time with the second metal layer 214, first to third semiconductor patterns 230, 232 and 234 are formed underneath the data line 224, the source-drain metal layer 226, and the storage metal layer 228, respectively. The first to third semiconductor patterns 230, 232, and 234 are comprised of the patterned intrinsic amorphous silicon layers 230a, 232a, and 234a, and the patterned n^+ -doped amorphous silicon layers 230b, 232b, and 234b.

FIG. 6E shows the process step of ashing the photo-patterns 220a and 220b in order to form an active channel of the thin film transistor. The ashing process is one of dry etching processes and partially removes the photo-patterns 220. During the ashing process, the second photo-pattern 220b is completely removed, and the first photo-pattern 220a is partially removed as much as the second photo-pattern 220b. Namely, while completely removing the second photo-pattern 220b, the first photo-pattern 220a is partially removed, so that the height and width of the first photo-pattern 220a are lessened. As a result, the center portion E of the source-drain metal layer 226 and the side portions F of the data line 224 and storage metal layer 228 are exposed. Ashed photo-patterns 236a and 236b have smaller width and height than the first photo-pattern 220a and expose the side portions F of the data line 224 and the storage metal layer 228. The center portion E corresponding to the gate electrode 204 is completely exposed.

After the ashing process, the exposed portions E and F are removed until the intrinsic amorphous silicon layers 230a, 232a, and 234a are exposed, as shown in FIG. 6F. Then, the

ashed photo-patterns 236a and 236b are stripped out from the source-drain metal layer 226. Accordingly, a source electrode 238 and a drain electrode 240 are finally formed over an active layer 232a (i.e., the intrinsic amorphous silicon layer). An active channel between the source and drain electrodes 238 and 240 are also formed on the active layer 232a. The active channel is disposed above the gate electrode 204. The source electrode 238 extends from the data line 224, and the drain electrode 240 is spaced apart from the source electrode 238 across the gate electrode 204. As illustrated with reference to FIG. 5, the storage metal layer 238 has an island shape. In FIG. 6F, since the portions E and F of the metal layer and the n^+ -doped amorphous silicon layer are simultaneously removed, the intrinsic amorphous silicon layers 230a, 232a, and 234a are exposed around the patterned metal layers 224, 238, 240, and 228. The intrinsic amorphous silicon layer 232a corresponding to the thin film transistor region T is referred to as an active layer, and the n^+ -doped amorphous silicon layers 232b on the active layer 232a are referred to as ohmic contact layers.

Meanwhile, the storage metal layer 228 overlaps a portion of the gate line 202, so that the storage capacitor Cst of FIG. 5 is comprised of the portions of gate line 202, the storage metal layer 228, and the interposed first insulating layer 206. Further, as described with reference to FIG. 5, the thin film transistor T is comprised of the gate electrode 204, the active layer 232a, the ohmic contact layers 232b, the source electrode 228, and the drain electrode 240.

Next in FIG. 6G, a second insulating layer 246 is deposited over the entire surface of the substrate 200 to cover the patterned second metal layer. The second insulating layer 246 may be formed of silicon nitride (SiN_x) or silicon oxide (SiO_2). The second insulating layer 246 enhances the adhesion of an opaque organic layer 248 to be formed in the later process. The second insulating layer 246 improves the adhesion between the active layer 232a and the

opaque organic layer 248. If there is no adhesion problem between the active layer 232a and the organic material layer, the second insulating layer 246 is not necessary. After forming the second insulating layer 246, the opaque organic material layer 248 having a low dielectric constant is deposited on the second insulating layer 246. The opaque organic material layer 248 has a black color, so that it becomes a black matrix.

The opaque organic material layer 248 formed on the second insulating layer 246 is patterned through the third mask process, so that a black matrix 250 is formed over the thin film transistor T, the data line 224, and the gate line 202. The black matrix 250 is formed of an organic material to protect the thin film transistor T.

In FIG. 6H, a third insulating layer 252 is formed over the entire surface of the substrate 200 to cover the black matrix 250. The third insulating layer 252 may be formed of an inorganic insulating material, such as silicon nitride (SiN_x) or silicon oxide (SiO_2), or an organic material insulating material, such as benzocyclobutene (BCB) or acrylic resin.

Now in FIG. 6I, the first, second, and third insulating layers 206, 246, and 252 are simultaneously patterned through the fourth mask process. Thus, an end side portion of the drain electrode 240 and an end side portion of the storage metal layer 228 are exposed. Although FIG. 6I shows that the substrate 200 is exposed by patterning the first insulating layer 208, the first insulating layer 206 may remain and only the second and third insulating layers 246 and 252 may be patterned to expose the side portions of the drain electrode 240 and the storage metal layer 228. Furthermore, the remains of the first gate insulating layer 206 on the substrate 200 may control the height of a color filter to be formed in the later processes.

FIG. 6J shows the step of forming a first pixel electrode 254 and color filters 256. A first transparent electrode layer of indium tin oxide (ITO) or indium zinc oxide (IZO) is deposited over the entire surface of the substrate 200 to cover the patterned third insulating

layer 252 and to contact the exposed side portions of the drain electrode 240 and storage metal layer 228. Thereafter, the first transparent electrode layer is patterned through the fifth mask process, so that the first pixel electrode 254 is formed in the pixel region P, except for a portion over the gate electrode 204. As shown in FIG. 6J, the first pixel electrode 254 contacts both the side portions of the drain electrode 240 and the storage metal layer 228. After forming the first pixel electrode 254, a color resin is formed on the first pixel electrode 254 and then developed to form color filters 256a, 256b, and 256c having red (R), green (G), and blue (B). As described above, the color filters 256a, 256b, and 256c for displaying the full spectrum of colors are formed in the pixel regions P on the first pixel electrode 254.

Now in FIG. 6K, a second transparent electrode layer 258 is formed on the color filters 256, on the exposed portions of the first pixel electrode 254, and on the exposed portions of the third insulating layer 252. The second transparent electrode layer 258 is formed of indium tin oxide (ITO) or indium zinc oxide (IZO) similar to the first transparent electrode layer. At this time, the second transparent electrode layer 258 is in an amorphous state. Then, a KrF excimer laser partially irradiates the second transparent electrode layer 258. Especially, the KrF excimer laser irradiates pixel portions of the second transparent electrode layer 258 which corresponds to the pixel regions P, and thus the irradiated portions of the second transparent electrode layer 258 is crystallized. When crystallizing the pixel portions of the second transparent electrode layer 258, a strong UV light from a UV lamp can be used for crystallization instead of the KrF excimer laser.

After the crystallization of the second transparent electrode layer 258, the second transparent electrode layer 258 is etched by oxalic acid $[(\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}]$, and thus the amorphous portions of the second transparent electrode layer 258 are removed while the crystallized portions of the second transparent electrode layer 132 remains, whereby the

crystallized portions of the transparent electrode layer 258 become second pixel electrodes 260. Due to the etch selectivity between the amorphous and crystallized portions of the second transparent electrode layer 258, the second pixel electrode 260 can be formed without any photolithography process. Accordingly, the second pixel electrode 260 contacting the first pixel electrode 254 around the color filter 256 is finally formed. Namely, a double-layered pixel electrode (i.e., often referred to as a sandwich pixel electrode) comprised of the first and second pixel electrodes 254 and 260 is formed corresponding to each pixel region P.

As mentioned before, each color filter 256 is interposed between the first and second pixel electrodes 254 and 260 in the present invention. And in the second embodiment of the present invention, the black matrix 250 and the color filters 256 are formed in the lower substrate 200, so that the liquid crystal display device can have a high aperture ratio. Further, since the pixel electrode has a double-layered structure, the process stability is improved during the fabricating process of the array substrate. Furthermore, since no photoresist and no photolithography processes are required when forming the second pixel electrode 260, a developer and/or a stripper will not be applied to the array substrate so that the underlying color filters 256 will not be damaged. Additionally, the process time will be decreased. In the second embodiment of the present invention, the array substrate having a color filter on a thin film transistor (COT) structure is fabricated through the five-mask process. The number of the mask process can be reduced in accordance with the second embodiment of the present invention.

[EFFECT OF INVENTION]

The present invention simplifies the fabrication process and reduces the production cost. Furthermore, since the black matrix is formed in the array substrate, it is not required to consider an aligning margin when designing and aligning the lower and upper substrates, thereby increasing an aperture ratio.

Further, since no photoresist and no photolithography processes are required when forming the second pixel electrode, a developer and/or a stripper will not be applied to the array substrate so that the underlying color filters will not be damaged. Additionally, in the second embodiment of the present invention, since the array substrate having a color filter on a thin film transistor (COT) structure is fabricated through the five-mask process, the number of the mask process can be reduced in accordance with the second embodiment of the present invention.

[RANGE OF CLAIMS]

[CLAIM 1]

A method of forming an array substrate for use in a liquid crystal display device,
comprising:

forming a gate line disposing in a first direction over a substrate;

forming a data line disposing in a second direction over the substrate, the data line
defining a pixel region by perpendicularly crossing the gate line;

forming a thin film transistor at a crossing of the gate and data lines, wherein the thin
film transistor includes a gate electrode, a semiconductor layer, a source electrode and a drain
electrode;

forming a first insulating film to cover the thin film transistor and the data line;

forming a black matrix on the first insulating film, over the gate line, over the data line
and over the thin film transistor except a portion of drain electrode;

forming a second insulating film on the first insulating film to cover the black matrix;

patterning the first and second insulating films to expose a portion of drain electrode and
a portion of the substrate corresponding to the pixel region;

forming a first transparent electrode layer over an entire of the substrate to cover the
patterned second insulating film and the exposed portion of the drain electrode;

patterning the first transparent electrode layer to form a pixel electrode in the pixel
region, wherein the pixel electrode contacts the exposed portion of the drain electrode;

forming a color filter on the pixel electrode;

forming a second transparent electrode layer over an entire of the substrate to cover the color filter and the first pixel electrode, wherein the second transparent electrode is in an amorphous state;

irradiating a laser beam to a portion of the second transparent electrode layer corresponding to the pixel region so as to crystallize the irradiated portion of the second transparent electrode; and

forming a second pixel electrode in the pixel region by removing a non-crystallized portion of the second transparent electrode layer, wherein the second pixel electrode contacts the first pixel electrode around the color filter.

[CLAIM 2]

The method according to claim 1, wherein the semiconductor layer includes an active layer of intrinsic amorphous silicon and an ohmic contact layer of extrinsic amorphous silicon layer.

[CLAIM 3]

The method according to claim 1, wherein the black matrix is formed of an opaque photosensitive organic material.

[CLAIM 4]

The method according to claim 1, further comprising forming a storage capacitor over a portion of the gate line, wherein the forming the storage capacitor includes forming a storage metal layer over the portion of the gate line so that the storage capacitor acts as a first electrode of the storage capacitor and the portion of the gate line acts as a second electrode of the storage capacitor.

[CLAIM 5]

The method according to claim 1, further comprising forming an inorganic insulator between the thin film transistor and the black matrix.

[CLAIM 6]

The method according to claim 5, wherein the inorganic insulator is one of silicon nitride and silicon oxide.

[CLAIM 7]

The method according to claim 1, wherein the color filter is disposed in the pixel region and includes a color resin having one of red, green and blue colors.

[CLAIM 8]

The method according to claim 1, wherein the forming the second pixel electrode includes applying an oxalic acid $[(\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}]$ to the partially laser-irradiated second transparent electrode layer.

[CLAIM 9]

A method of forming an array substrate for use in a liquid crystal display device, comprising:

forming a gate line in a first direction and a gate electrode extending from the gate line over a substrate;

forming a semiconductor layer, a data line, a source electrode and a drain electrode at a same mask process using a same mask, the data line being in a second direction over the substrate and defining a pixel region by crossing the gate line, the source electrode extending from the data line, the source and drain electrodes contacting the semiconductor layer, thereby completing a thin film transistor at a crossing of the gate and data lines, wherein the thin film transistor includes the gate electrode, the semiconductor layer, the source electrode and the drain electrode;

forming a first insulating film to cover the thin film transistor and the data line;

forming a black matrix on the first insulating film, over the gate line, over the data line and over the thin film transistor except a portion of drain electrode;

forming a second insulating film on the first insulating film to cover the black matrix;

patterning the first and second insulating films to expose a portion of drain electrode a portion of the substrate corresponding to the pixel region;

forming a first transparent electrode layer over an entire of the substrate to cover the patterned second insulating film and the exposed portion of the drain electrode;

patterning the first transparent electrode layer to form a pixel electrode in the pixel region, wherein the pixel electrode contacts the exposed portion of the drain electrode;

forming a color filter on the pixel electrode;

forming a second transparent electrode layer over an entire of the substrate to cover the color filter and the pixel electrode, wherein the second transparent electrode is in an amorphous state;

irradiating a laser beam to a portion of the second transparent electrode layer corresponding to the pixel region so as to crystallize the irradiated portion of the second transparent electrode; and

forming a second pixel electrode in the pixel region by removing a non-crystallized portion of the second transparent electrode layer, wherein the second pixel electrode contacts the first pixel electrode around the color filter.

[CLAIM 10]

The method according to claim 9, wherein the semiconductor layer includes an active layer of intrinsic amorphous silicon and an ohmic contact layer of extrinsic amorphous silicon layer.

[CLAIM 11]

The method according to claim 9, wherein the black matrix is formed of an opaque photosensitive organic material.

[CLAIM 12]

The method according to claim 9, further comprising forming a storage capacitor over a portion of the gate line, wherein the forming the storage capacitor includes forming a storage metal layer over the portion of the gate line so that the storage capacitor acts as a first electrode of the storage capacitor and the portion of the gate line acts as a second electrode of the storage capacitor.

[CLAIM 13]

The method according to claim 9, further comprising forming an inorganic insulator between the thin film transistor and the black matrix.

[CLAIM 14]

The method according to claim 13, wherein the inorganic insulator is one of silicon nitride and silicon oxide.

[CLAIM 15]

The method according to claim 9, wherein the color filter is disposed in the pixel region and includes a color resin having one of red, green and blue colors.

[CLAIM 16]

The method according to claim 9, wherein the forming the second pixel electrode includes applying an oxalic acid $[(\text{COOH})_2 \cdot \text{H}_2\text{O} + \text{H}_2\text{O}]$ to the partially laser-irradiated second transparent electrode layer.

[CLAIM 17]

The method according to claim 9, wherein the forming a semiconductor layer, a data line, a source electrode and a drain electrode comprises:

forming a gate insulation layer on the substrate to cover the gate line and the gate electrode;

forming an intrinsic amorphous silicon layer, a doped amorphous silicon layer and a metal layer in series on the first insulating film;

forming a photoresist on the metal layer;

disposing a mask over the photoresist, wherein the mask has a light transmitting portion, a light shielding portion and a light half-transmitting portion;

forming first and second photoresist patterns by light irradiation through the mask, the second photoresist pattern having a smaller thickness than the first photoresist pattern and corresponding to the light half-transmitting portion;

patterning the metal layer, the doped amorphous silicon layer and the intrinsic amorphous silicon layer to form a data line, a source-drain metal pattern and a storage metal layer underneath the first and second photoresist patterns, and to form a first semiconductor pattern underneath the data line and source-drain metal pattern and a second semiconductor pattern underneath the storage metal layer, wherein the data line is disposed in a longitudinal direction and defines a pixel region, wherein the source-drain metal pattern extends from the data line, and wherein the storage metal is disposed over the gate line;

ashing the first and second photoresist patterns until the second photoresist pattern is completely removed, thereby exposing side portions of the data line and storage metal layer and a center portion of the source-drain metal pattern over the gate electrode; and

patterning the exposed side portions of the data line and storage metal layer and the center portion of the source-drain metal pattern, thereby forming the source and drain electrodes.

[CLAIM 18]

The method according to claim 17, wherein each of the first and second semiconductor patterns is comprised of the patterned intrinsic and extrinsic amorphous silicon layers.

[CLAIM 19]

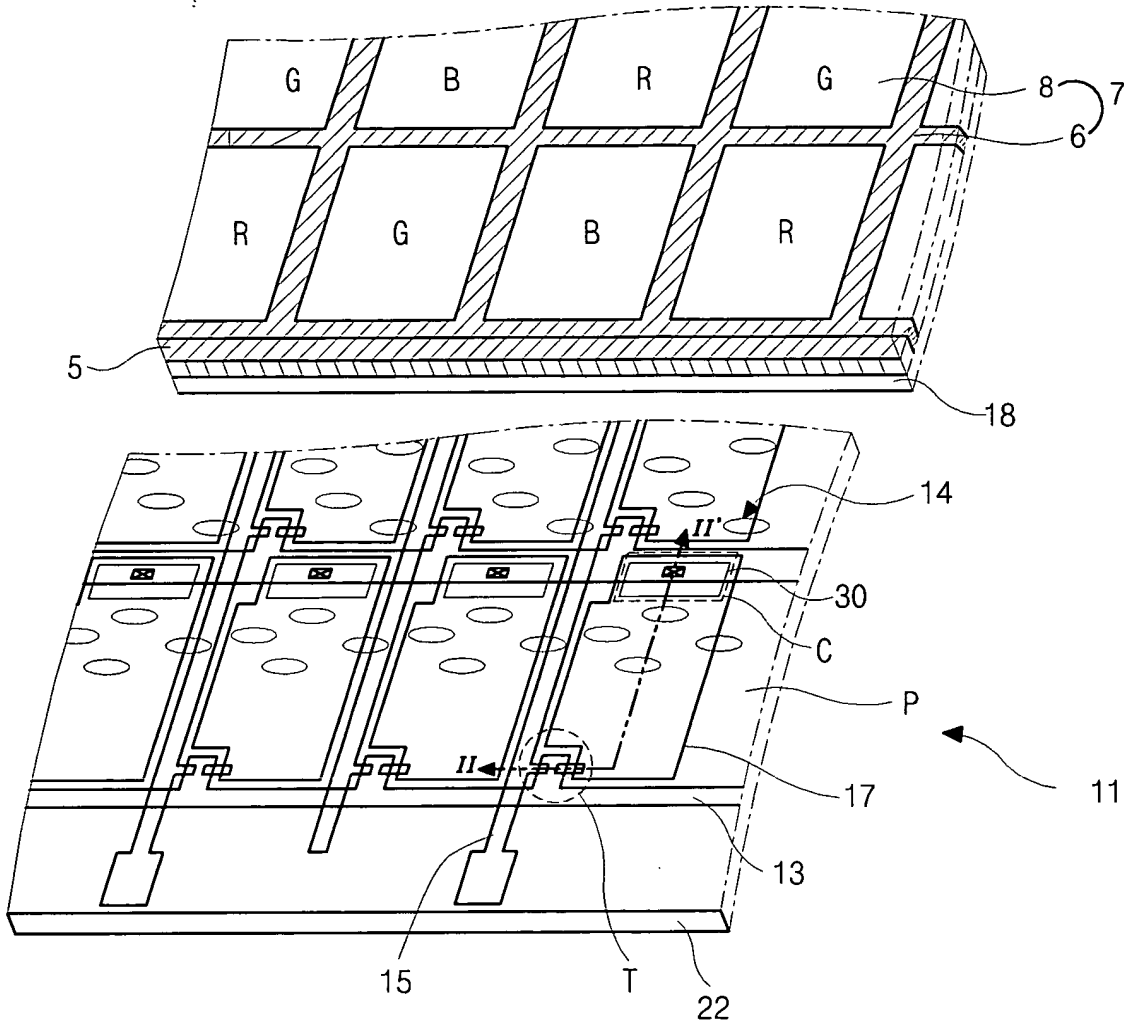
The method according to claim 17, wherein the forming the source and drain electrodes includes removing a portion of the patterned extrinsic amorphous silicon layer to form an active channel in the first semiconductor pattern over the gate electrode between the source and drain electrodes.

[CLAIM 20]

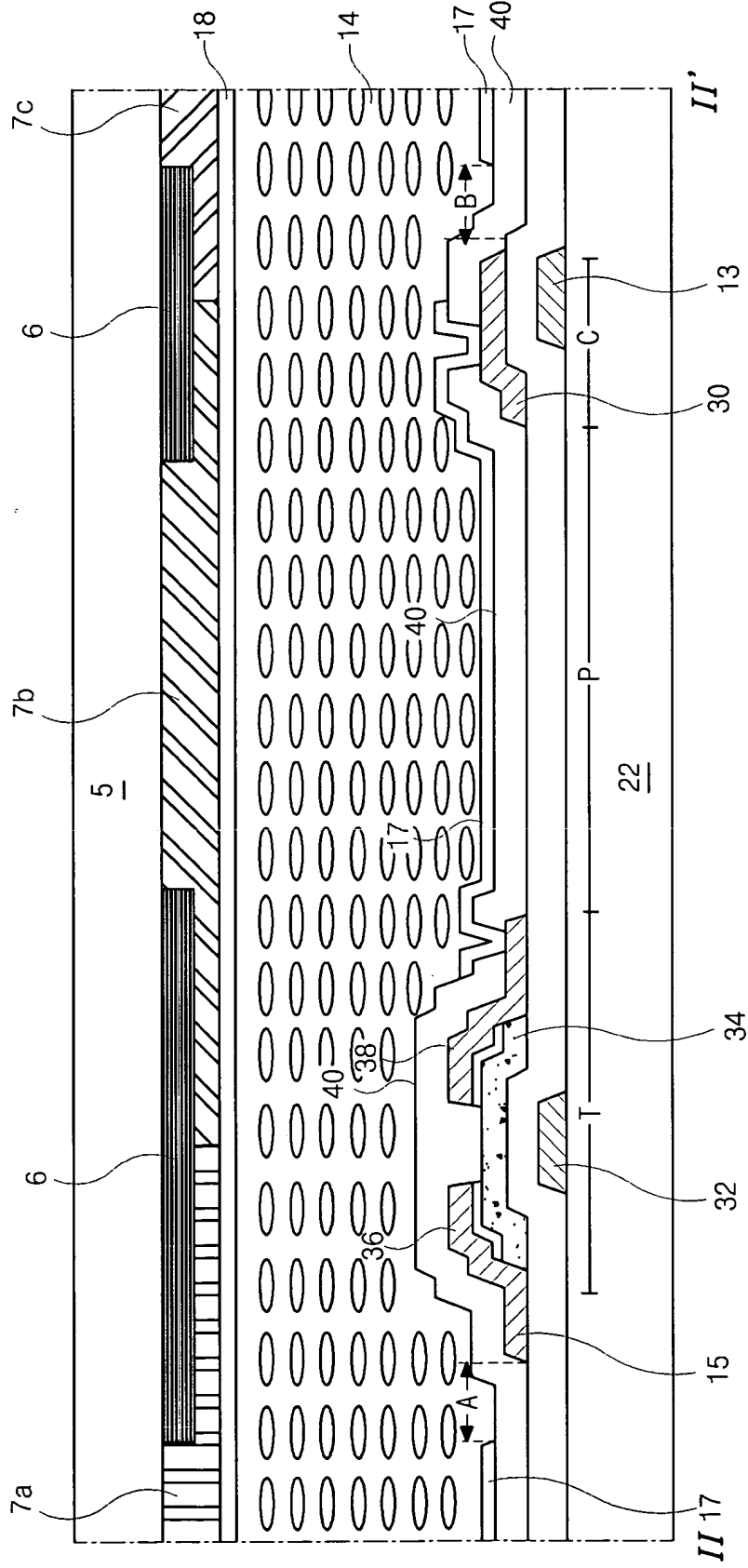
The method according to claim 19, wherein the patterning the exposed side portions of the data line and storage metal layer exposes intrinsic amorphous silicon layer.

[DRAWINGS]

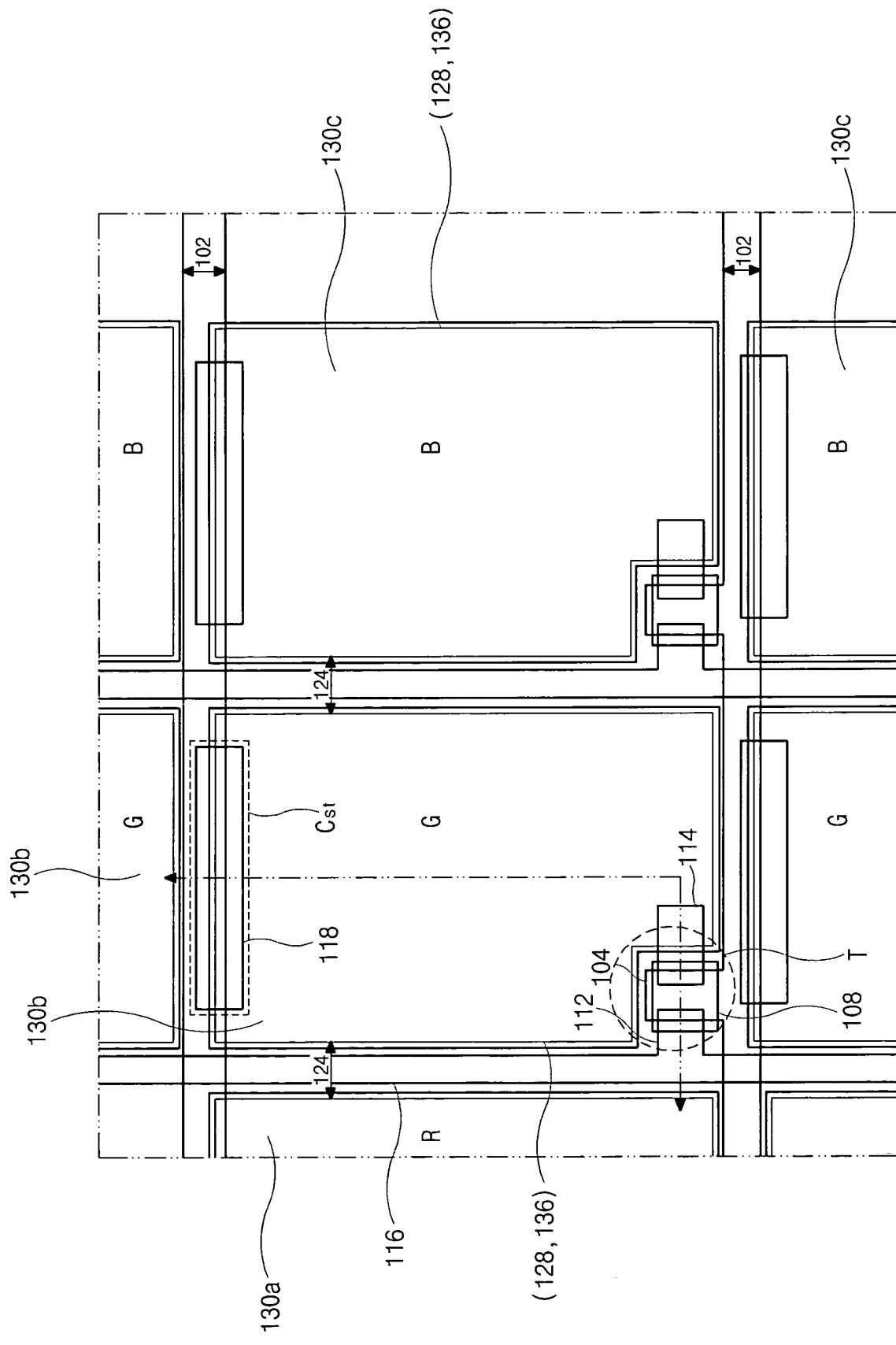
[FIG. 1]



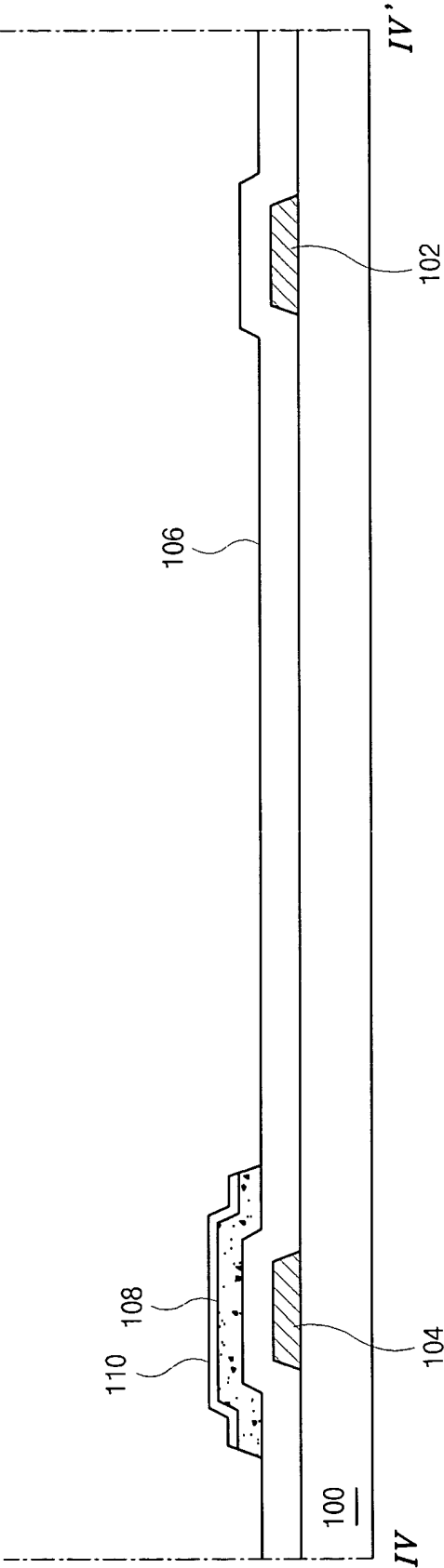
[FIG. 2]



[FIG. 3]

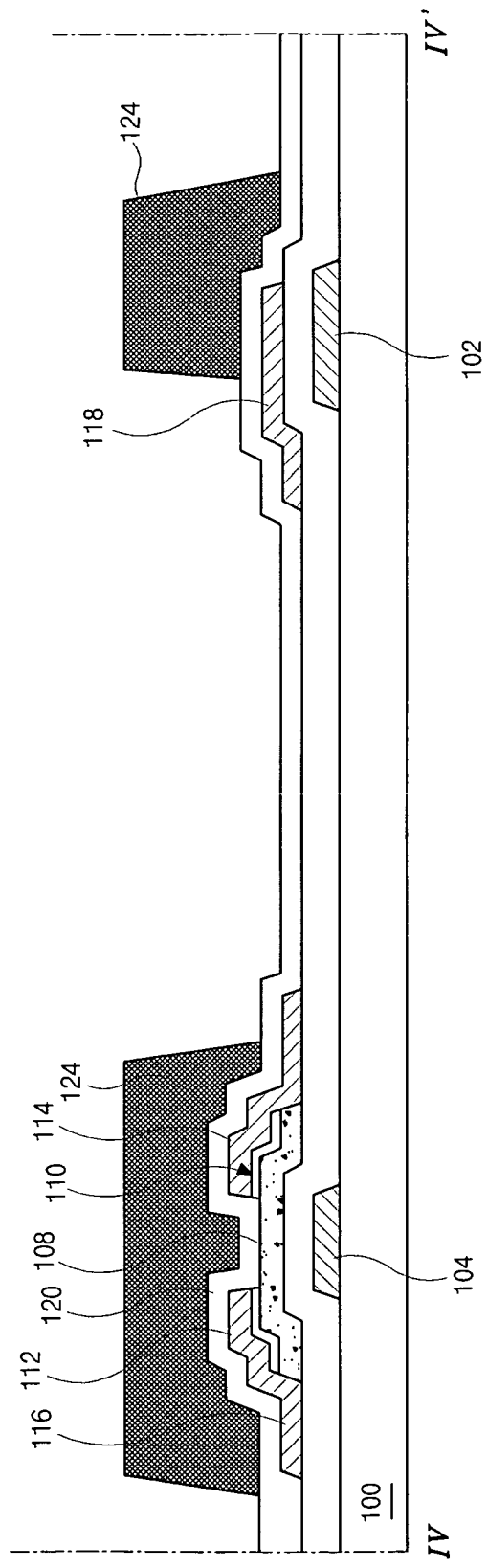


[FIG. 4A]

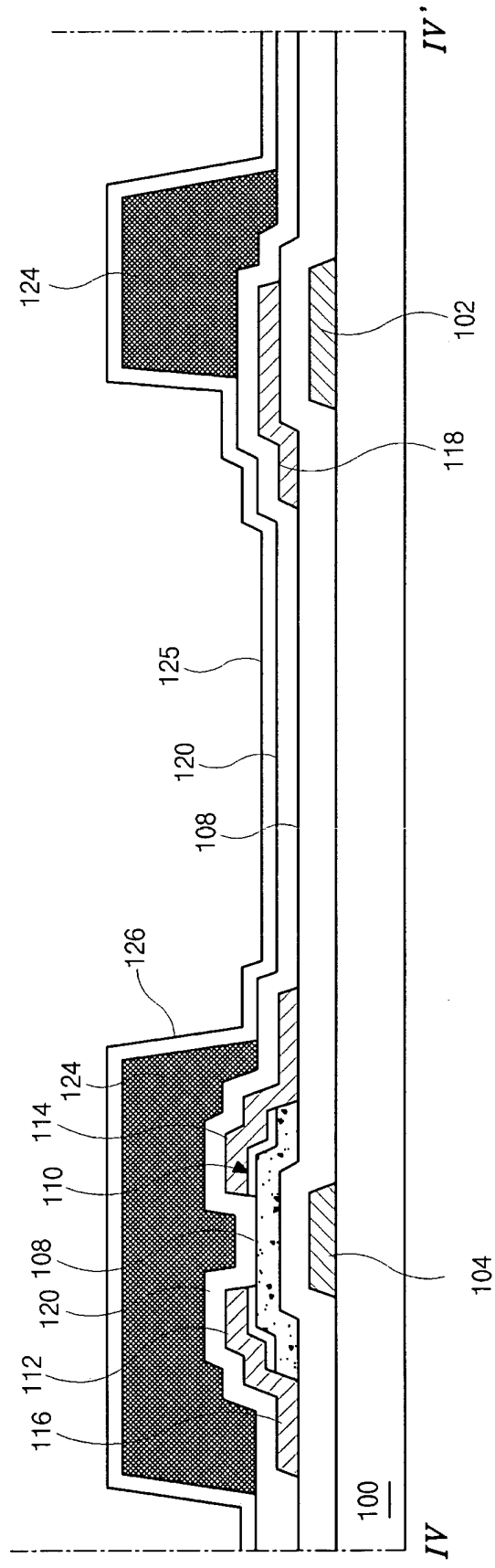


This cross-sectional view shows a substrate 102 with a thin layer 104 on its top surface. A series of rectangular openings are formed in the substrate, each filled with a material 106. Above the substrate, a layer 110 is deposited, containing a patterned layer 112 and a layer 114. A layer 116 is located between the substrate and the patterned layer 112. A layer 118 is positioned above the patterned layer 112. The device is bounded by vertical dashed lines labeled IV and IV'.

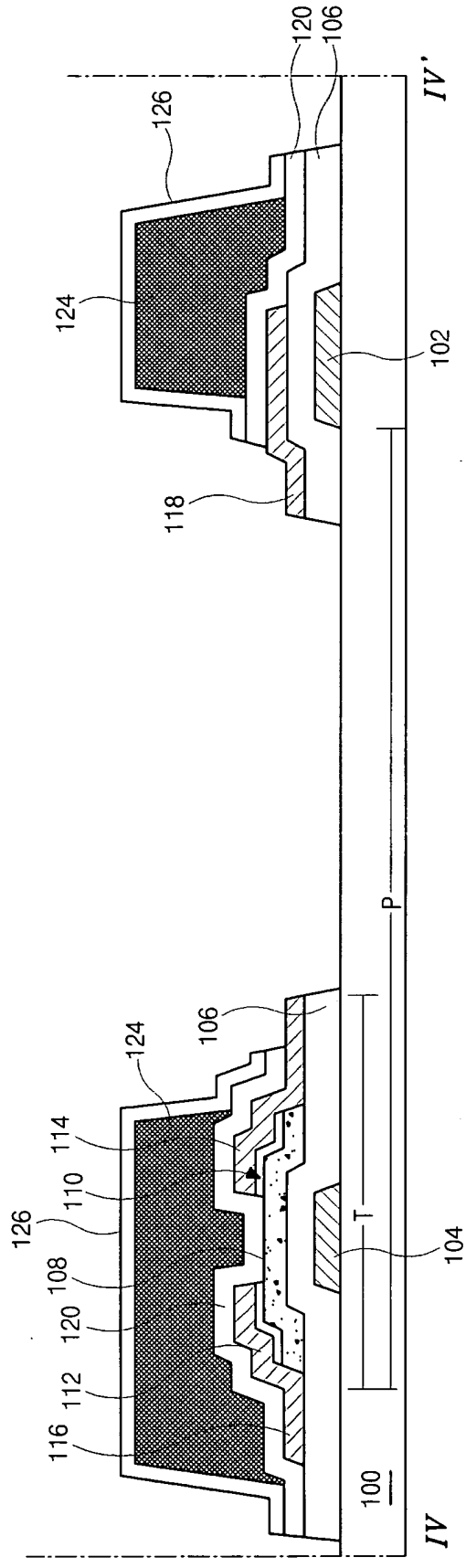
Figure IV' is a cross-sectional view of a semiconductor device structure. It shows a substrate 100 with a series of layers and features. A bottom layer 102 is on top of the substrate. Above this is a layer 104 containing several rectangular regions. A layer 106 is above 104, featuring a series of rectangular openings or recesses. Above 106 is a layer 118, which is a dark, textured material. On top of 118 is a layer 120, which is a lighter, textured material. The structure is labeled IV' on the right side.



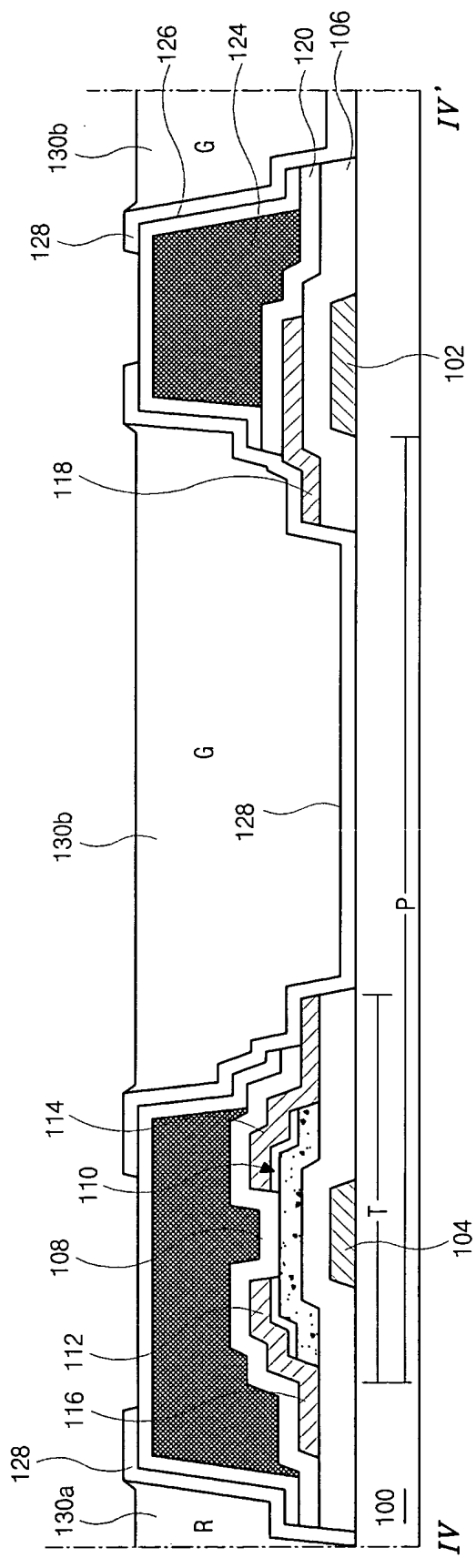
[FIG. 4D]



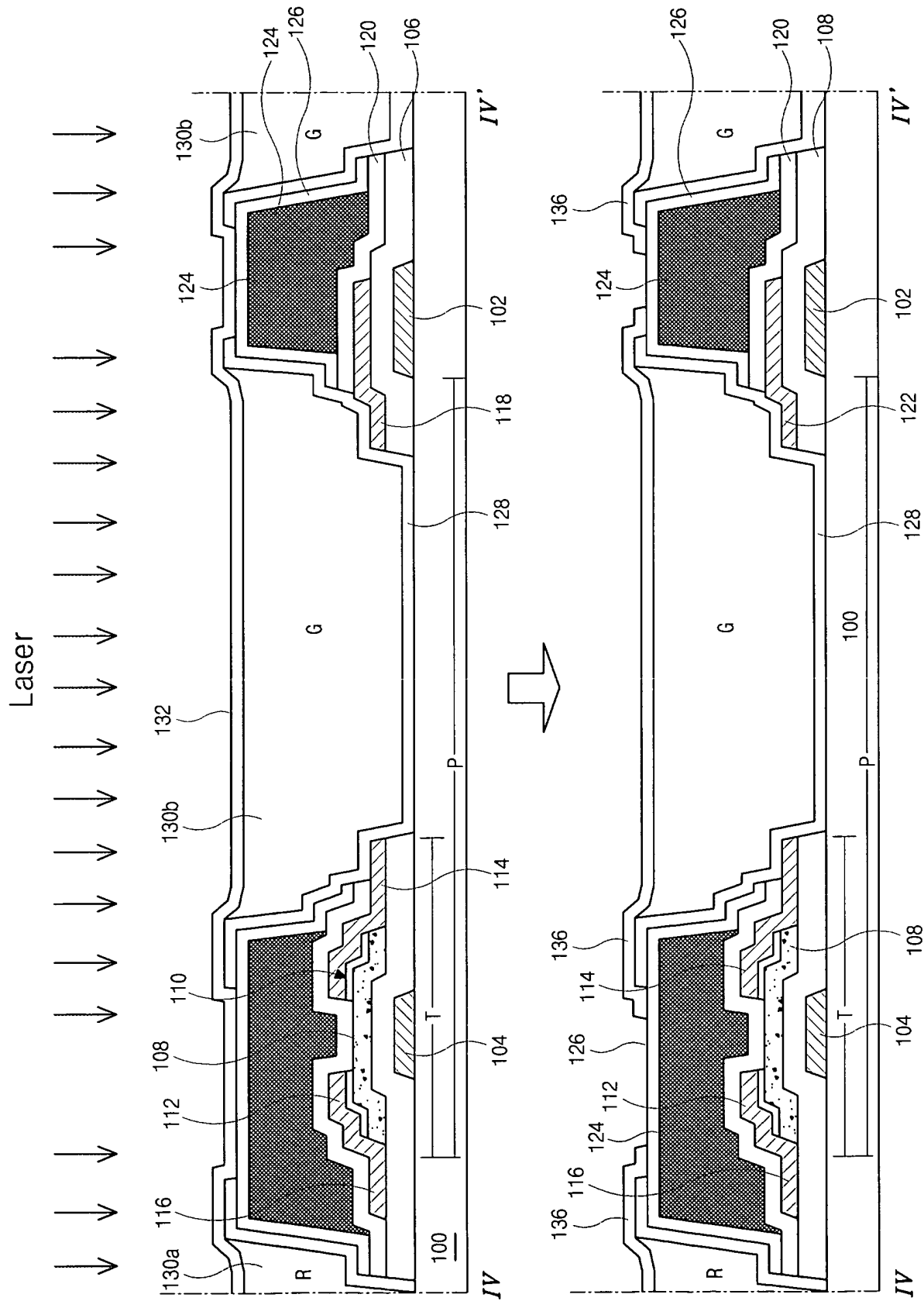
[FIG. 4E]



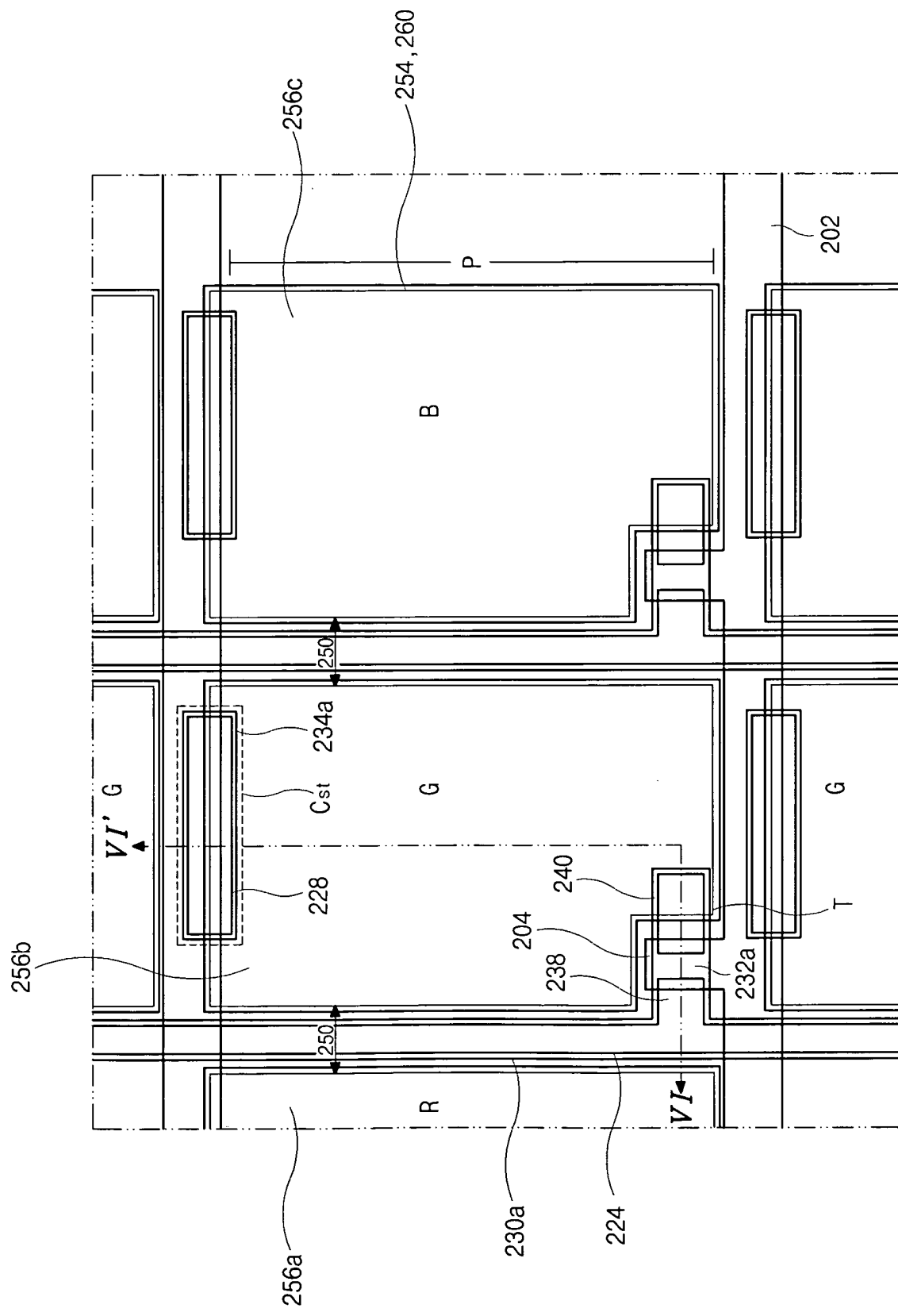
[FIG. 4F]



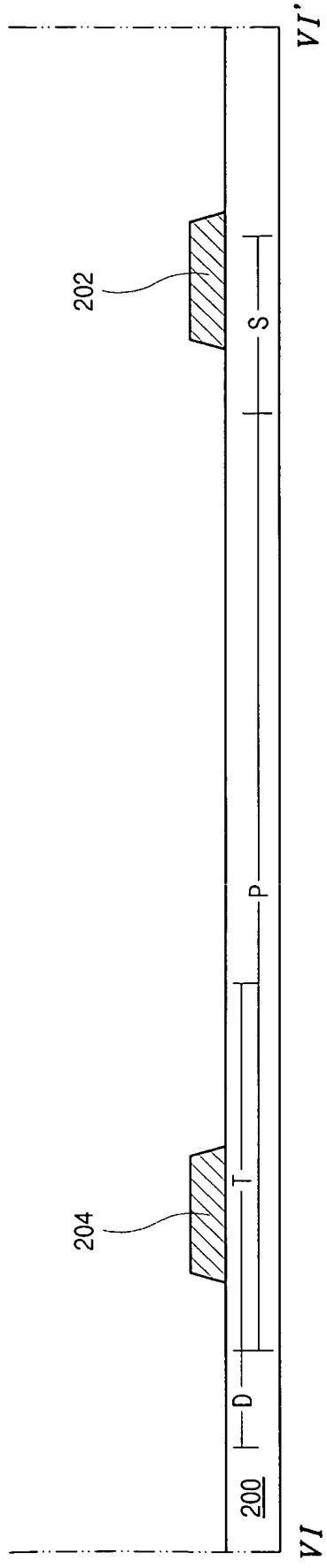
[FIG. 4G]



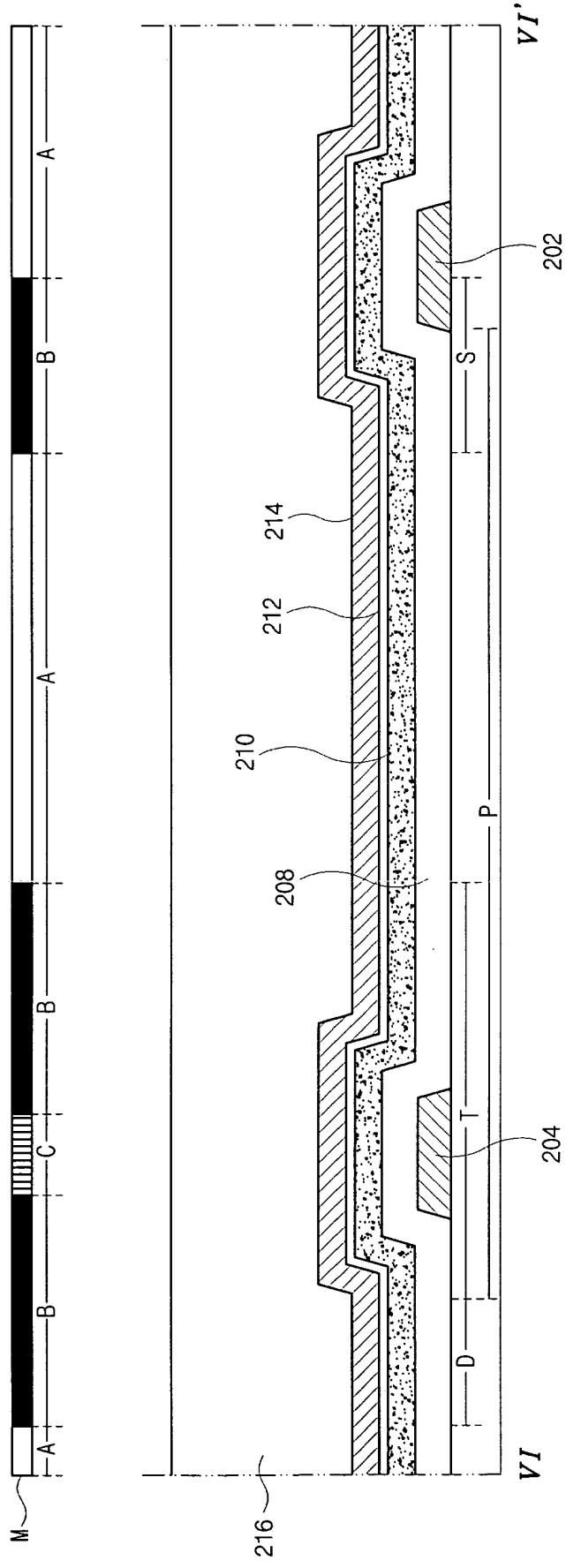
[FIG. 5]



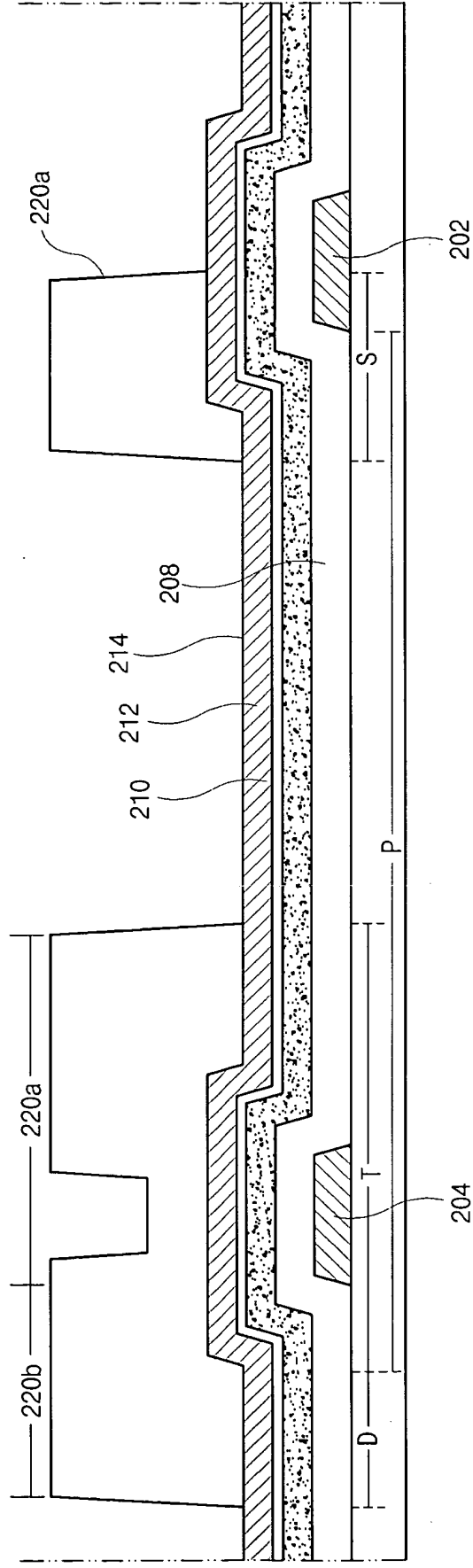
[FIG. 6A]



[FIG. 6B]

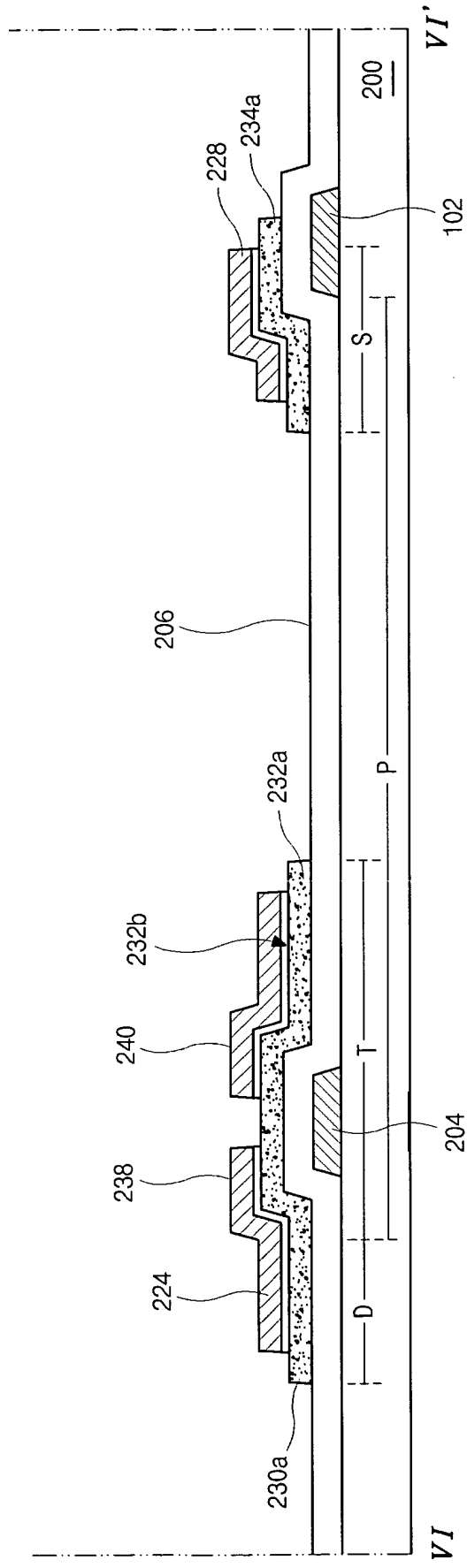


[FIG. 6C]

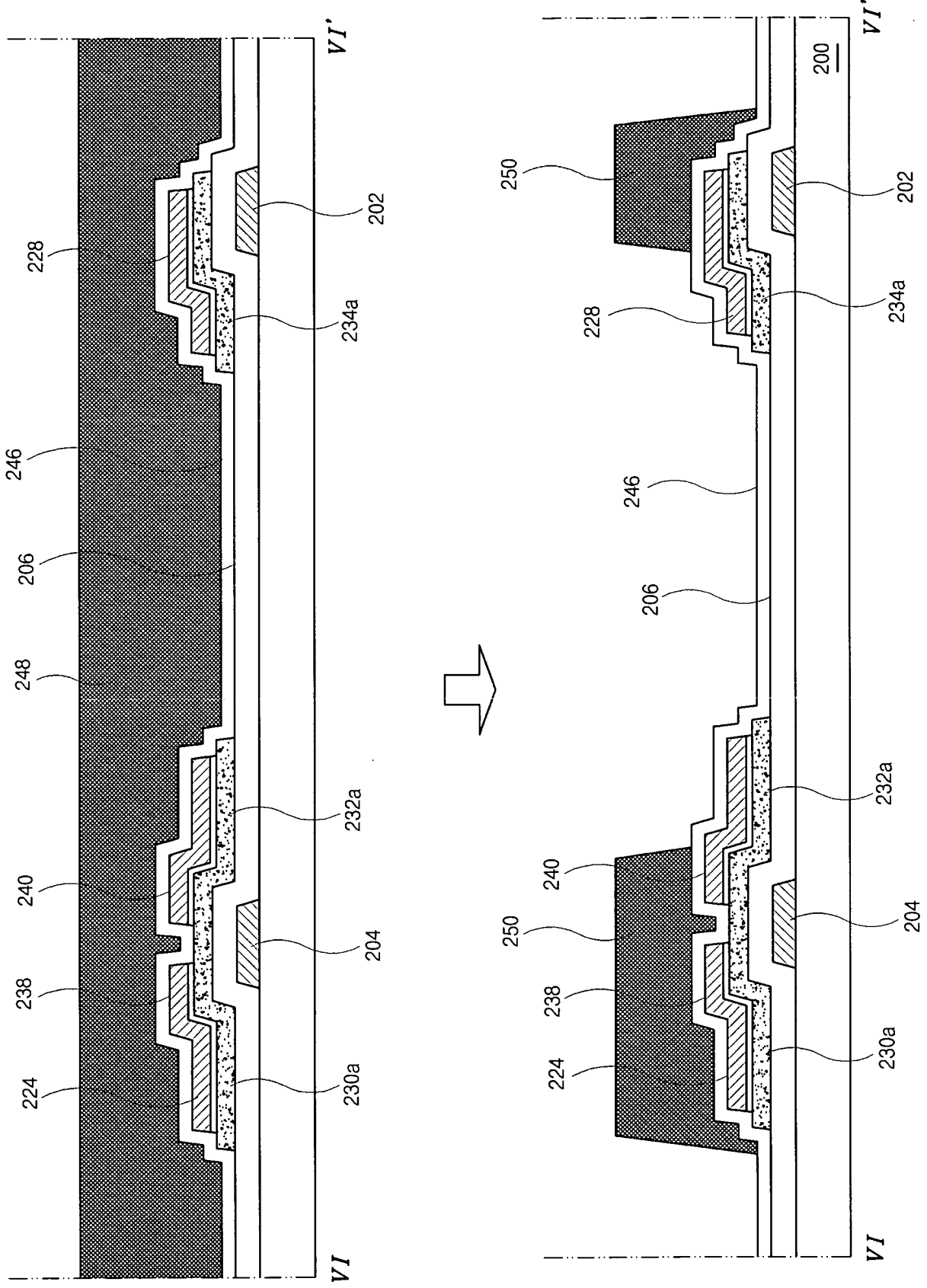


[illegible]

[FIG. 6F]

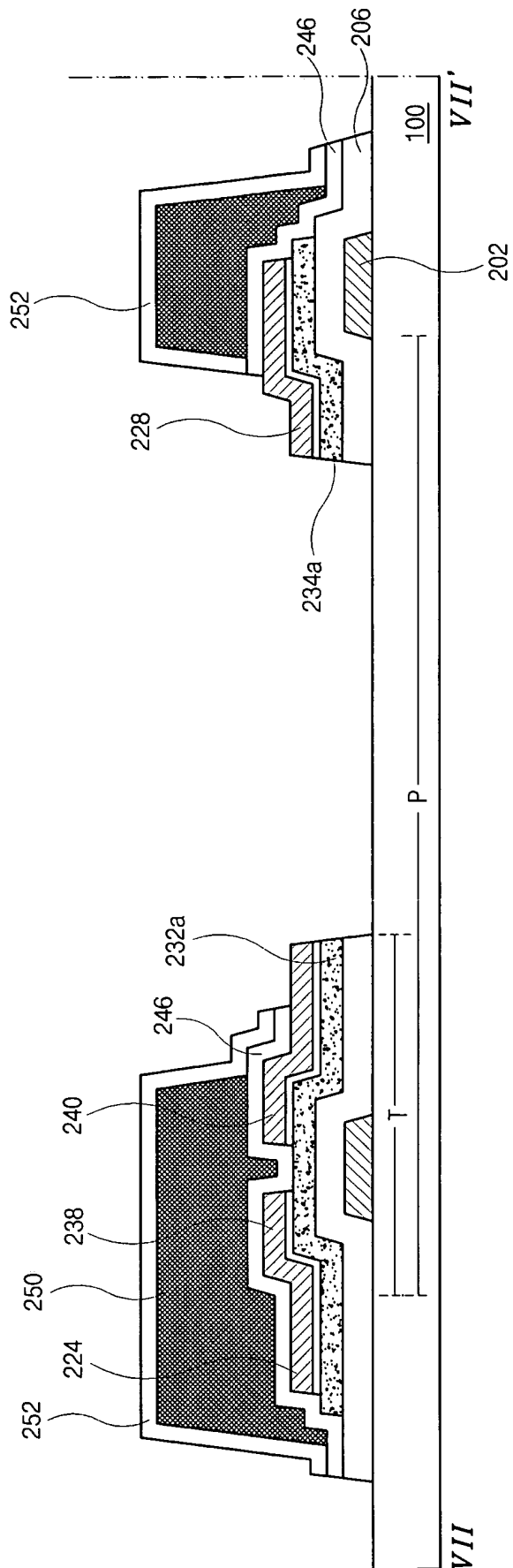


[FIG. 6G]

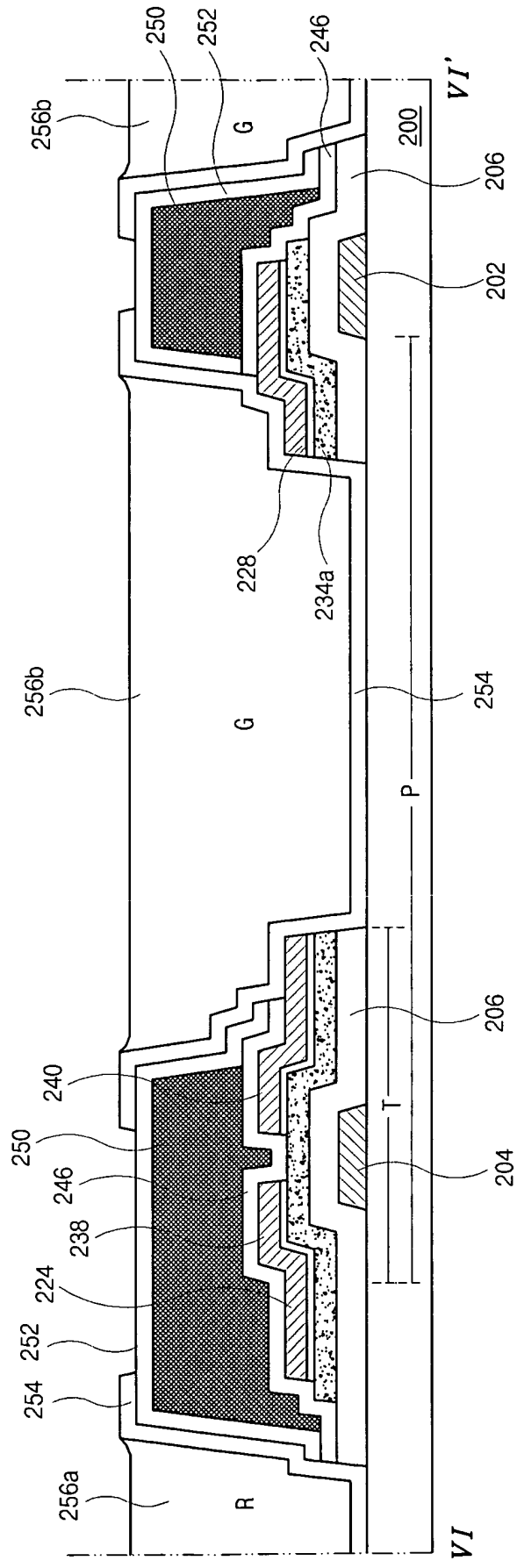


This cross-sectional view shows a semiconductor device with two active regions. The left active region includes a substrate 224, a well 238, a channel 240, and a gate stack 250. The right active region includes a substrate 228, a well 246, a channel 252, and a gate stack 250. A central channel 206 is located between the two active regions. The device is built on a substrate 100, with various layers and structures labeled with reference numerals 202, 230a, 232a, 234a, and 240.

[FIG. 6I]



[FIG. 6J]



[FIG. 6K]

